Neue Sicherungselemente und Leistungsschalter

auf der Basis des Dualen Thyristors

Dem Fachbereich für Physik und Elektrotechnik
der Universität Bremen
zur Erlangung des akademischen Grades eines
Doktor-Ingenieur
(Dr.-Ing.)

vorgelegte Dissertation

Dipl.-Ing. Boris Rosensaft
geboren am 20. September 1969
in Shitomir

Referent: Prof. Dr. phil. nat. D. Silber
Korreferent: Prof. Dr. –Ing. habil. Dipl. –Math. B. Meinerzhagen

Tag der Einreicherung: 08.01.2007
Tag des Promotionskolloquiums: 20.04.2007

Bremen 2007

Für meine Eltern

Inhaltsverzeichnis

1 Einleitung……1

2 Duale Netzwerke……4

3 Konzept des Dualen Thyristors……6

4 Dualer Thyristor als Zweipolelement……..10

4.1 Dualer Thyristor mit lateralem selbstleitenden p-Kanal-JFET und mit vertikalem selbstleitenden n-Kanal-JFET mit lateralem n-Kanal...…….....10
4.1.1 Struktur des Bauelementes……10
4.1.2 Strom-Spannungs-Kennlinie des Dualen Thyristors…….12
4.1.3 Wirkung von Parametern der Teiltransistoren auf die Kennlinie des Dualen Thyristors……...19
4.1.4 Wirkung der n^+-Insel auf die Strom-Spannungs-Charakteristik des Dualen Thyristors……..26
4.1.5 Dreidimensionale Duale Thyristor-Zelle mit lateralem selbstleitenden p-Kanal-JFET und vertikalem selbstleitenden n-Kanal-JFET mit lateralem n-Kanal……..27
4.1.6 Zusammenfassung…….…29

4.2 Dualer Thyristor mit vertikalem p-Kanal-JFET (Static Induction Transistor) und vertikalem n-Kanal-JFET (mit lateralem n-Kanal)…….…...31
4.2.1 Static Induction Transistor (SIT) - Aufbau und Funktionsprinzip……31
4.2.2 Maßnahmen zur Verbesserung der Durchlasseigenschaften des p-Kanal-SIT…….34
4.2.3 Duale Thyristor-Struktur mit planarem p-Kanal- SIT (mit vertikalem p-Kanal) und vertikalem n-Kanal-JFET (mit lateralem n-Kanal)…..……...37
4.2.4 Duale Thyristor-Struktur mit lateralem p-Kanal-SIT und vertikalem n-Kanal-JFET (mit lateralem n-Kanal).……39
4.2.5 Stationäres Modell des Dualen Thyristors mit p-Kanal-SIT……...……..41
4.2.6 Wirkung der Spannungsverstärkung V_u des p-Kanal-Transistors auf die Strom-Spannungs-Kennlinie des Dualen Thyristors……..……47
4.2.7 Wirkung der Konstruktionsparameter des p-Kanal-SIT auf die Spannungsverstärkung V_u und auf die Strom-Spannungs-Kennlinie des Dualen Thyristors……..49
4.2.8 Wirkung von Parametern des n-Kanal-Teiltransistors auf die Kennlinie des Dualen Thyristors mit p-Kanal-SIT……51
4.2.9 Wirkung der Temperatur auf die Strom-Spannungs-Kennlinie der Dualen Thyristor-Struktur mit p-Kanal-SIT……..55
4.2.10 Verifikation von Modell-Parametern durch Modell- Simulations-Vergleich...58
4.2.11 Wirkung der n^--Zone auf die Strom-Spannungs-Kennlinie des Dualen Thyristors……...59
4.2.12 Stationäres Modell des Dualen Thyristors mit p-Kanal-SIT unter Berücksichtigung des n^--Substrat-Widerstandes……...60
4.2.13 Begrenzung des n^+-Gate-Potenzials……..……...69
4.2.14 Struktur mit vertikalem p-Kanal-SIT und vertikalem n-Kanal-SIT……71
4.2.15 Zusammenfassung……72

4.3 Dualer Thyristor mit selbstleitendem IGBT……....74
4.3.1 IGBT (Insulated Gate Bipolar Transistor) - Aufbau und Funktionsprinzip…..74
4.3.2 Struktur des Dualen Thyristors mit selbstleitendem planaren IGBT…..……...77
4.3.3 Stationäres Modell der pin-Diode……..……...81
4.3.4 Stationäres Modell des Dualen Thyristors mit selbstleitendem IGBT und mit p-Kanal-SIT…….87
4.3.5 Wirkung des p^+-Emitters des pnp-Transistors auf die Strom-Spannungs-Kennlinie des Dualen Thyristors mit IGBT-Funktion……...93
4.3.6 Zusammenfassung…….99

4.4 Dualer Thyristor mit durch „Level Shifter“ kontrollierter Thyristor-Funktion……..…100
4.4.1 Dualer Thyristor mit einer Diodenkette als „Level Shifter“ - Funktionsprinzip des „Level Shifters“……..…..…100
4.4.2 Dualer Thyristor mit pnp-Punch-Through-Stuktur als „Level Shifter“..……102
4.4.3 Zusammenfassung……..…….108

5 Dualer Thyristor als Dreipol-Bauelement (Leistungsschalter mit Sicherungsfunktion)……109

5.1 Ansteuerung des Dualen Thyristors mit Hilfe des n-Kanal-MOS-Gates……...109
5.2 Ansteuerung des Dualen Thyristors mit Thyristor-Funktion mit Hilfe des n-Kanal-MOS-Gates und des MOS-Gates des „Level Shifters“ …….114
5.3 Ansteuerung des Dualen Thyristors mit Hilfe des p-Kanal-MOS-Gates……...116
5.4 Zusammenfassung……..……120

6 Zusammenfassung und Ausblick……...121

A Simulations- und Messergebnisse zum Vergleich zwischen der Elektronen- und der Löcherbeweglichkeit im normal leitenden Kanal und im Inversionskanal…….125

B Struktur mit starkem p^+-Emitter und mit der starken Rekombination im mittleren n^--Gebiet.....126

Literaturverzeichnis.....130

1 Einleitung

Leistungselektronische Bauelemente benötigen in jedem Betriebszustand einen Schutz vor dem Auftritt eines Fehlerfalls. Ein solcher Fehlerfall führt zum Verlassen der in Datenblättern angegebenen sicheren Arbeitsbereiche und verursacht eine Degradation des Bauelementes mit der Reduktion seiner Lebensdauer. Im Grenzfall kann ein solcher Fehler zu einer unmittelbaren Zerstörung des Bauelementes führen. Es ist deswegen von großer Bedeutung, die kritischen Zustände rechtzeitig zu erkennen und die richtige Reaktion auf solche Zustände zu sichern [2].
Alle bisher bekannten Verfahren der Überlastabschaltung von Leistungsbauelementen, mit Ausnahme des im Kapitel 3 beschriebenen Schalters von Sanchez, beruhen auf dem Prinzip der Erfassung von Strom oder Temperatur durch verschiedenartige Sensorkonzepte und aktives Abschalten der Bauelemente [1, 2].

Aus dem Bereich der kleineren Leistungen wäre hier der seit langem von Siemens bzw. Infineon entwickelte TEMPFET zu nennen. Er beruht auf der Temperaturerfassung durch einen hybridintegrierten (aufgeklebten oder aufgelöteten) Thyristor, der bei Übertemperatur einen Gate-Source-Kurzschluss einschaltet, wodurch der Leistungs-MOSFET ausgeschaltet wird. Ein Schwerpunkt der Anwendung ist die Automobilelektronik [3, 4].

Von großer Bedeutung ist die Familie der PROFETs für die Kfz-Elektronik. Bei einem PROFET werden die vertikalen n-Kanal-MOSFETs mit umfangreichen Hilfsschaltungen und Sensoren zur schnellen Erfassung von Überstrom und Überspannung sowie Übertemperatur integriert. Es handelt sich also um ein typisches Produkt der Smart-Power-Integration [5, 6].

Zum Schutz von IGBTs in intelligenten kompakten leistungselektronischen Schaltungen werden Messshunts, vor allem aber Strommesswandler eingesetzt [2, 7, 8]. Die Schaltungen sind in der Lage, die Bauelemente aus ihrem Überstrombereich schnell genug einzuschalten. Eine Überstromerfassung ist möglich, indem man den Übergang in der Bauelementcharakteristik zur Strombegrenzung ausnutzt. Die Erfassung muss allerdings während des Einschaltvorgangs wegen der unvermeidbaren transienten Einschaltüberspannung kurzzeitig ausgeblendet werden.

Eine Reihe von Überstrom-Erfassungen beruht auf dem Prinzip der Sense-IGBTs, bei denen ein geringer proportionaler Anteil des Laststroms auf der Source-Seite abgezweigt wird. Diese Bauelemente werden häufig auch als Stromspiegel-IGBTs bezeichnet; allerdings ist diese Bezeichnung irreführend, weil der Messstrom nur mit Schaltungen von sehr geringer Eingangsimpedanz quantitativ gemessen werden kann. Sie sollten eher Stromleiter-IGBTs heißen [9, 10].

Vor einigen Jahren wurden im Fraunhofer Institut (IMS, Duisburg) Untersuchungen zur Integration intelligenter Hilfselemente in IGBTs durchgeführt. Die Bauelemente beruhen auf dem Einsatz des SIMOX-Prozesses zur Herstellung dielektrisch isolierter Strukturen (Silicon-On-Insulator-Technik). Die Arbeiten wurden offensichtlich nicht zu Ende geführt, vermutlich wegen der sehr hohen Kosten des Prozesses und der eingeschränkten Optimierungsmöglichkeiten für den IGBT [11].
Am IMS entstand auch noch eine Dissertation zur Entwicklung einer integrierten Kaskode (Emitter-Switched-Thyristor) unter dem Einsatz von SIMOX. Auch diese Entwicklungen werden wohl nur mit extrem kostspieligen Zusatzprozessen möglich sein [12].

An der Entwicklung einer auf dem Prinzip magnetoresistiver Sensoren beruhenden Stromerfassung war das IALB-Institut (Universität Bremen) durch Simulationsuntersuchungen beteiligt. Es wurde festgestellt, dass ein unverständlicher transienter Messfehler auf Proximity-Effekten in der Messschleife beruhte. Der Fehler konnte daraufhin beseitigt werden [13].

Im Bereich der Sicherungselemente hat sich mit den Polyswitches ein interessantes, sehr einfaches Bauelement ergeben, das eine thermisch gesteuerte Sicherung darstellt. Es handelt sich um ein Volumenbauelement mit einem extremen Kaltleitverhalten. Da der hochohmige Zustand durch die zugeführte Verlustleistung gehalten werden muss, fließt ein relativ hoher Leckstrom [14, 15].

Bei Systematisierung der in der Leistungselektronik eingesetzten Zweipol-Schutzelemente stellt man fest, dass insgesamt drei Prinzipien der Sicherungs-Funktion zu Grunde liegen (s. Bild 1.1):
- Überspannungsbegrenzung (z.B. Avalanche-Diode)
- Überstrombegrenzung (Current-Limiter) [16]
- Überspannungs-Einschaltfunktion (Thyristor) [17].

Auffällig ist, dass in dieser Liste mindestens ein Sicherungsprinzip, nämlich das regenerative Abschalten beim Überstrom und das entsprechende Bauelement fehlen.
Auch bei den Leistungsschaltelementen findet man kein Bauelement, das die Überstrom-Sicherungsfunktion besitzt.
Die von uns untersuchte neue Bauelementfamilie hat zunächst die Eigenschaft einer solchen aktiven Sicherung, die durch die anliegende Spannung im gesperrten Zustand bleibt.
Natürlich ist es eine systemtechnische Frage, ob man ein regenerativ abschaltendes Bauelement einsetzen will, ob man ein Zweipol-Bauelement der vorliegenden Art als getrenntes Sicherungselement einsetzt oder ob man durch Stromsensorik und Schaltungsdesign das Überstromabschalten auch im Zeitverlauf exakter steuern will, beispielsweise um die parasitäre Überspannung zu begrenzen.
Es ist allerdings auch von großem Interesse, dass auf der Basis dieses Ansatzes integrierte Kaskoden beim Emitter Switched Thyristor (EST) entstehen, die schon in der Relation von Durchlassverhalten und Speicherladung erstaunlich günstig liegen [18, 19, 20]. Die Entwicklung von ESTs ist zwar durch die großen Erfolge der Trench-IGBTs zurückgedrängt worden, aber die Trench-Technik ist außerordentlich aufwändig [21, 22]. Der Ansatz des Dualen Thyristors mit Thyristor-Funktion ist allein dadurch gerechtfertigt.

Die vorliegende Arbeit behandelt die Entwicklung einer neuen Bauelementfamilie, die auf dem Funktionsprinzip des Dualen Thyristors beruht. Bei der Entwicklung dieser Bauelemente wurden sowohl numerische Simulationsuntersuchungen als auch notwendige Modellanalysen durchgeführt. Die numerischen Simulationen wurden überwiegend mit der Hilfe des Device-Simulators „DESSIS“ durchgeführt [23].
In den Kapiteln 2 und 3 werden die Dualisierungsprinzipien und das Konzept des Bauelementes vorgestellt.
Kapitel 4 betrachtet das Bauelement als Zweipol-Schutzelement. In diesem Kapitel werden unterschiedliche Aufbauvarianten mit den entsprechenden Modellen vorgestellt.
Kapitel 5 beschreibt den neuen voll steuerbaren Leistungsschalter mit der Überstrom-Sicherungsfunktion.
Kapitel 6 ermöglicht dem Leser einen Überblick über die erzielten Ergebnisse und erklärt die weiteren Aussichten in der Entwicklung der neuen Familie der Bauelemente.

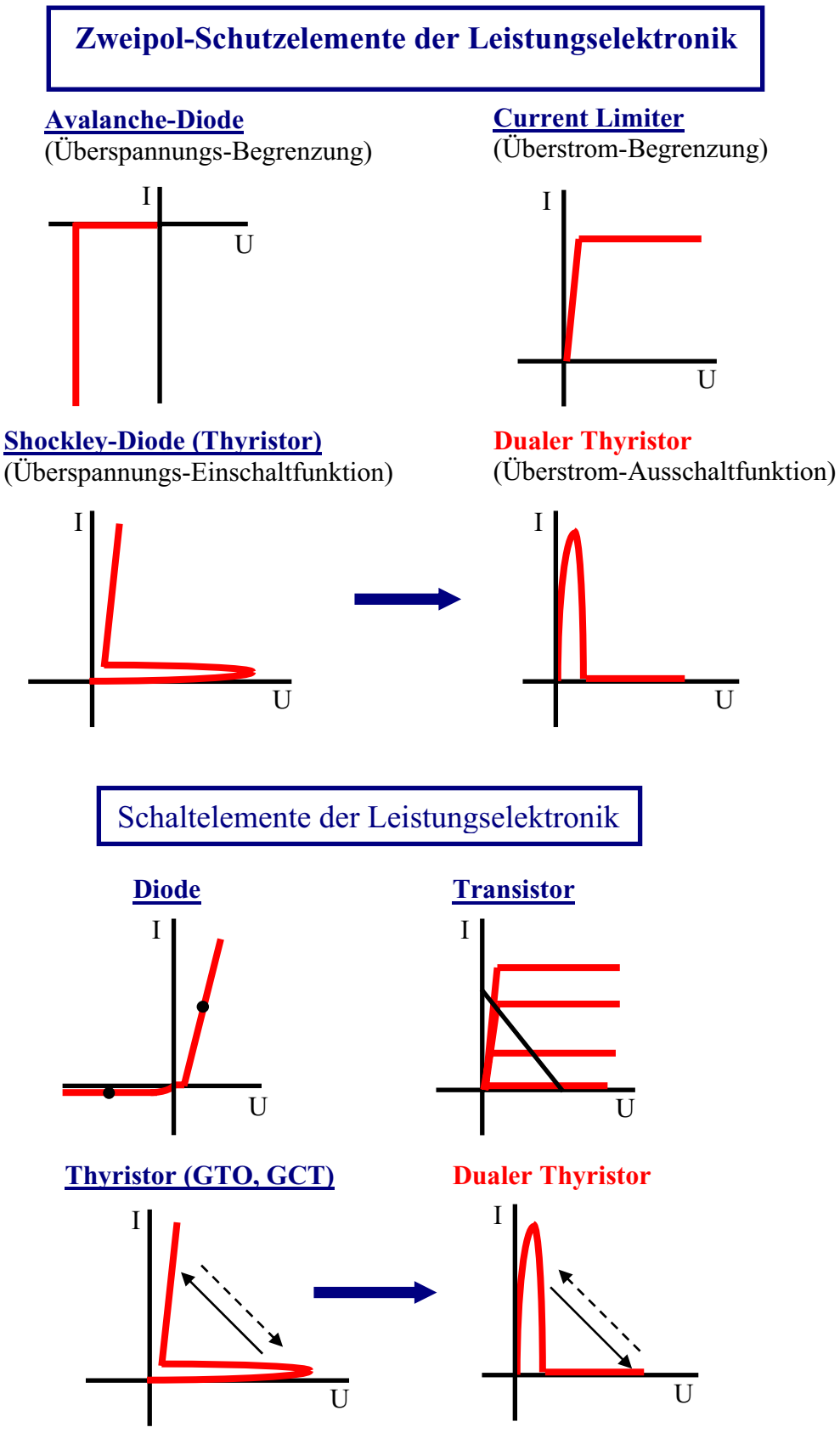


Bild 1.1: Überblick über heutige Zweipol-Schutzelemente und Schaltelemente der Leistungselektronik

2 Duale Netzwerke

Zwei Netzwerke heißen dual, wenn folgende Forderungen erfüllt sind [24]:
- Die Anzahl der Zweipole ist gleich
- Jedem Zweipol eines Netzwerkes entspricht ein dualer Zweipol des anderen Netzwerkes
-Zweipole, die in einem Netzwerk eine Masche bilden, liegen im anderen dualen Netzwerk an einem Knoten

Aus der letzten Forderung folgt, dass eine Reihenschaltung einer Parallelschaltung dual ist. Die folgende Liste zeigt die wichtigsten zueinander dualen Größen und Elemente:

Stromquelle ↔ Spannungsquelle $\underline{U}_0 = Z_0\underline{I}_0$ (2.1)

Kapazität ↔ Induktivität $L = Z_0^2 C$ (2.2)

Leitwert ↔ Widerstand $R = Z_0^2 G$ (2.3)

Leerlauf ↔ Kurzschluss

Offener Schalter ↔ geschlossener Schalter (zum gleichen Zeitpunkt t_0)

Dreiecksschaltung ↔ Sternschaltung

Die Dualitätskonstante Z_0 ist jeweils gleich.

Die dualen Netzwerke A und B haben nun folgende Eigenschaften:

- Ihre Frequenzgänge sind zueinander proportional:

$$\underline{U}_A(j\omega) = Z_0\underline{I}_B(j\omega) \tag{2.4}$$

bzw.

$$\underline{I}_A(j\omega) = \frac{1}{Z_0}\underline{U}_B(j\omega) \tag{2.5}$$

- Die Widerstandsfunktion entspricht der Leitfunktion:

$$\underline{Z}_A(j\omega) = Z_0^2\underline{Y}_B(j\omega) \tag{2.6}$$

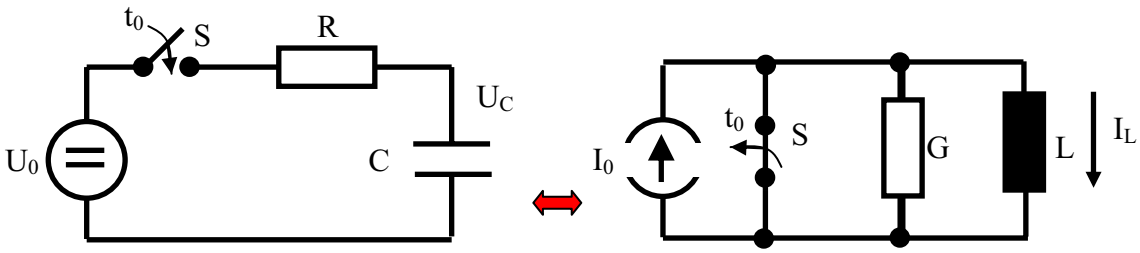
Daraus folgt, dass die Frequenzfunktionen der Scheinleistungen (S_A und S_B), der Wirkleistungen (P_A und P_B) und Blindleistungen (Q_A und Q_B) von zwei dualen Zweipolen entsprechend gleichgesetzt werden können:

$$S_A(\omega) = S_B(\omega) \tag{2.7}$$

$$P_A(\omega) = P_B(\omega) \tag{2.8}$$

$$Q_A(\omega) = -Q_B(\omega) \tag{2.9}$$

Die Analyse zweier dualer Netzwerke führt auf formal identische Gleichungen, wenn zueinander duale Größen ausgetauscht werden [25]. Bild 2.1 zeigt ein Beispiel von zwei dualen Netzwerken. Ihre Gleichungen, und deshalb auch ihre Lösungen, haben die gleiche mathematische Form und lassen sich durch Vertauschen der dualen Größen ineinander überführen.
Wenn man die Dualität zweier Netzwerke erkennt und die Lösung eines Netzwerkes kennt, so kann man also auch die Lösung des dualen Netzwerkes ableiten.
Die Dualität lässt sich auch ausnutzen, wenn ein Teil eines Netzwerkes dual zu einem bereits analysierten Teilnetzwerk ist. Das ist insbesondere dann der Fall, wenn Serie- oder Parallelschaltungen von gleichartigen Zweipolen vorhanden sind.



$$U_0 = RC\frac{dU_C(t)}{dt} + U_C(t) \quad \Leftrightarrow \quad I_0 = GL\frac{dI_L(t)}{dt} + I_L(t)$$

$$U_C = U_0\left(1 - e^{-\frac{t}{RC}}\right) \quad \Leftrightarrow \quad I_L = I_0\left(1 - e^{-\frac{t}{GL}}\right)$$

(a) Einschalten zum Zeitpunkt t_0 **(b)** Ausschalten zum Zeitpunkt t_0

Bild 2.1: Beispiel einer Dualisierung (Zum Zeitpunkt t_0 ist der Kondensator vollständig entladen, die Spule ist stromfrei)

3 Konzept des Dualen Thyristors

Das vorliegende Bauelemente-Funktionsprinzip beruht zunächst auf einer konsequenten Dualisierung des Thyristors. Dies betrifft sowohl das Ersatzschaltbild als auch die Charakteristik. Bild 3.1 zeigt ein Thyristor–Ersatzschaltbild sowie die duale Entsprechung. Dual sind die Verknüpfung der Bauelemente sowie der Typ der eingesetzten Schaltelemente (selbstleitend statt selbstsperrend, spannungs- statt stromgesteuert). Auch in den Parametern der eingesetzten Schaltelemente werden noch duale Prinzipien eingehalten.
Die Thyristor-Ersatzschaltung besteht aus einer Kombination von selbstsperrenden stromgesteuerten komplementären Transistoren, deren Kollektorströme parallel fließen.

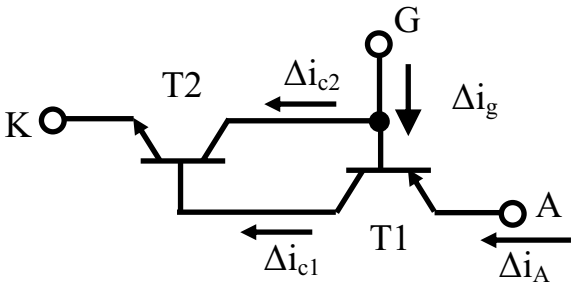


Bild 3.1(a): Ersatzschaltbild eines Thyristors [26]

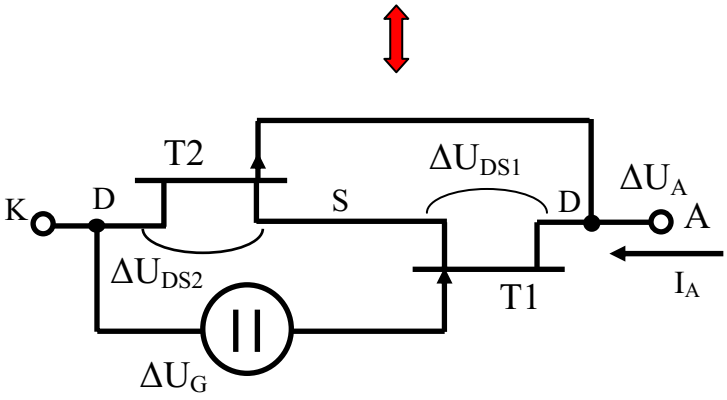


Bild 3.1(b): Ersatzschaltbild eines Dualen Thyristors mit zwei Feldeffekt- Transistoren

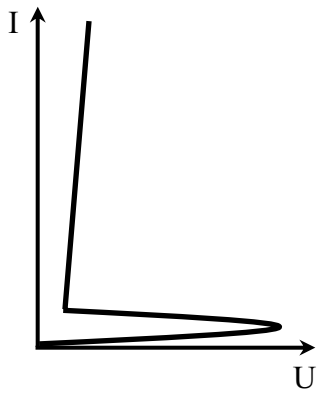


Bild 3.2a: Strom-Spannungs-Kennlinie eines Thyristors (schematisch) [26]

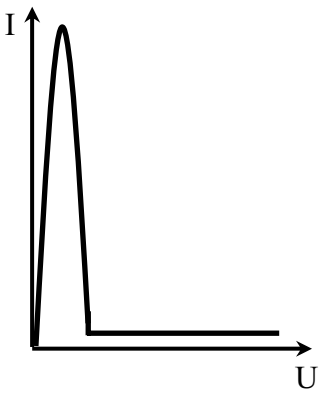


Bild 3.2b: Strom-Spannungs-Kennlinie eines Dualen Thyristors (schematisch)

Der Kollektorstrom des einen Transistors ist jeweils der Basisstrom des anderen Transistors. Einer der beiden Basisanschlüsse wird nach außen geführt und dient als Steueranschluss zum Einschalten eines Laststroms durch einen kurzzeitigen Steuerstrom-Impuls relativ niedriger Stromstärke. Dementsprechend besteht die Ersatzschaltung des Dalen Thyristors aus einer Kombination von selbstleitenden spannungsgesteuerten Transistoren in Art einer Serienschaltung. Die Drain-Source-Spannung des einen Transistors ist jeweils die Gate-Spannung des anderen Transistors. Eine Steuerspannungsquelle in einer der beiden Gate-Leitungen dient dazu, dass das Bauelement durch einen kurzzeitigen, relativ niedrigen Spannungsimpuls in den Sperrzustand gebracht wird.
Im Bild 3.2 sind schematisch die Kennlinien der beiden Bauelemente dargestellt. Der Thyristor ist durch Überspannung regenerativ einschaltend. Der Duale Thyristor ist durch Überstrom regenerativ ausschaltend.
Es ergeben sich eine duale Charakteristik, ein Zweipol mit regenerativer Überstrom-Abschaltbarkeit und ein Schaltelement mit spannungsgesteuerter regenerativer Stromabschaltung.

Wir betrachten zunächst die beiden Bauelemente unter Kleinsignal-Bedingung.
In diesem Fall ergeben sich für den **Thyristor** folgende Relationen zwischen den Kollektorströmen Δi_{c1} und Δi_{c2} und dem Steuerstrom Δi_g:

$$\Delta i_{c1} = \beta_1 \left(\Delta i_{c2} + \Delta i_g \right) \tag{3.1}$$

$$\Delta i_{c2} = \beta_2 \, \Delta i_{c1} = \beta_1 \beta_2 \left(\Delta i_{c2} + \Delta i_g \right) \tag{3.2}$$

β_1, β_2 - Differenzielle Stromverstärkungen der Teiltransistoren T1 und T2

Aus den Gleichungen (3.1) und (3.2) gewinnt man den Kollektorstrom Δi_{c2} und den Anodenstrom Δi_A:

$$\Delta i_{c2} = \frac{\beta_1 \beta_2}{1 - \beta_1 \beta_2} \Delta i_g \tag{3.3}$$

$$\Delta i_A = \frac{\beta_1 (1 + \beta_2)}{1 - \beta_1 \beta_2} \Delta i_g \tag{3.4}$$

Diese Gleichungen zeigen, dass der Thyristor nur unter folgender Bedingung stabil bleibt:

$$\beta_1 \beta_2 < 1 \tag{3.5}$$

Erreicht das Produkt von den Stromverstärkungen die Eins, kommt es zum Einschalten des Thyristors. Dieser Vorgang wird oft als Thyristor-Zünden bezeichnet.

In Dualität zum Thyristor ergeben sich für den **Dualen Thyristor** im Fall der Kleinsignal-Ansteuerung folgende Relationen zwischen den Drain-Spannungen ΔU_{DS1} und ΔU_{DS2} und der Steuerspannung ΔU_g:

$$\Delta U_{DS1} = V_1 \left(\Delta U_{DS2} + \Delta U_g \right) \tag{3.6}$$

$$\Delta U_{DS2} = V_2 \Delta U_{DS1} = V_1 V_2 \left(\Delta U_{DS2} + \Delta U_g \right) \tag{3.7}$$

V_1, V_2- Differenzielle Spannungsverstärkungen der Teiltransistoren T1 und T2

Aus den Gleichungen (3.6) und (3.7) erhält man die Teilspannung ΔU_{DS2} und die Anodenspannung ΔU_A:

$$\Delta U_{DS2} = \frac{V_1 V_2}{1 - V_1 V_2} \Delta U_g \tag{3.8}$$

$$\Delta U_A = \frac{V_1 (1 + |V_2|)}{1 - V_1 V_2} \Delta U_g \tag{3.9}$$

Die Gleichungen zeigen, dass der Duale Thyristor nur unter folgender Bedingung stabil bleibt:

$$V_1 V_2 < 1 \tag{3.10}$$

Erreicht das Produkt von den Spannungsverstärkungen die Eins, kommt es zum Ausschalten des Dualen Thyristors durch Überstrom.

Durch einen Vergleich der Gleichungen (3.9) und (3.4) unter Berücksichtigung der dualen Größen ($\beta_1 \leftrightarrow V_1, \beta_2 \leftrightarrow V_2, i_{c1} \leftrightarrow U_{DS1}, i_{c2} \leftrightarrow U_{DS2}, i_g \leftrightarrow U_G$) kann eine Dualität zwischen der Einschaltbedingung des Thyristors und der Ausschaltbedingung des Dualen Thyristors festgestellt werden.

Wird der Duale Thyristor durch Ansteuerimpulse in den Ein- bzw. Aus-Zustand zugeschaltet, ergibt sich ein Schalter mit folgenden Funktionen:
-„Aus“, evtl. mit der Fähigkeit Überspannungsspitzen durch Punch-Through abzufangen
-„Ein“ mit der neuartigen Fähigkeit aus Überstrom-Zuständen regenerativ auszuschalten
-Ausschalten durch Anlegen eines Steuerspannungs-Pulses
-Einschalten durch Überwinden der regenerativen Selbstsperrung (duale Entsprechung zum GTO-Thyristor), ebenfalls durch einen Steuerspannungspuls.

Einige Ansätze zu einem solchen Bauelement wurden schon früher beschrieben, allerdings mit sehr eingeschränkten Ansprüchen. Überraschenderweise gibt es aus den 50er Jahren den Vorschlag einer Halbleiter-Tetrode, die schon auf diesem Prinzip beruht [27]. An eine Anwendung im Leistungsbereich dachte damals niemand. Sie wurde als Gyrator und zur Erzeugung einer negativen Kennlinie mit N-Charakteristik entwickelt (s. Bild 3.3).

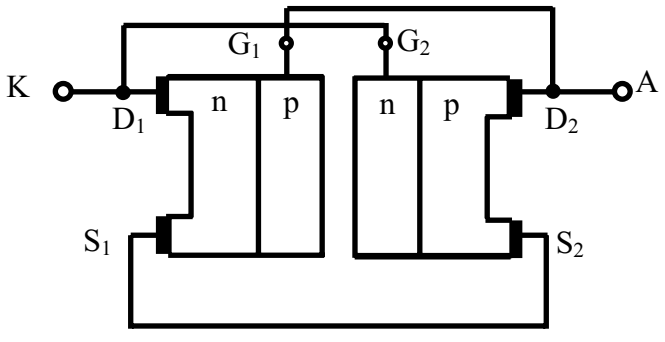


Bild 3.3: Tetrode in einer Veröffentlichung von R. Paul (1972) [27]

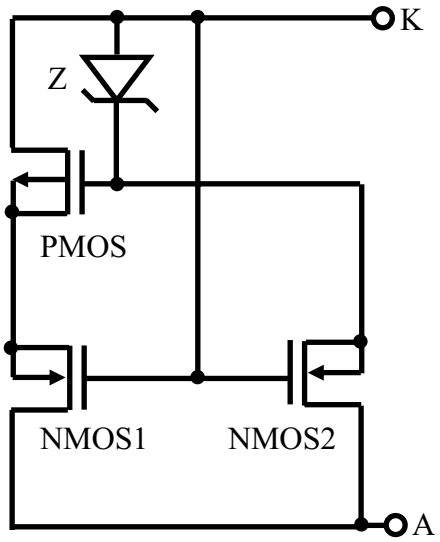


Bild 3.4: Dualer Thyristor in der Version von Sanchez

In [28] und [29] wird ein Bauelement beschrieben, welches genau dem oben angegebenen Prinzip folgt, anstelle der selbstleitenden Sperrschichtfeldeffekttransistoren jedoch selbstleitende Feldeffekttransistoren vom MOSFET-Typ verwendet. Dieses Bauelement ist für relativ hohe Sperrfähigkeiten bestimmt und besitzt daher noch besondere integrierte Komponenten zur Verhinderung von Spannungsdurchschlägen an einem der MOS-Gates. Das Bauelement ist als Sicherungselement geeignet und besitzt in der beschriebenen Version keine externe Ansteuerbarkeit. Das Ersatzschaltbild des Bauelementes ist stark vereinfacht im Bild 3.4 dargestellt. Die beiden Sperrschichtfeldeffekttransistoren sind durch die MOS-Transistoren PMOS und NMOS1 ersetzt. Der Transistor NMOS2 und die Z-Diode Z begrenzen die Gate-Spannung vom PMOS.

Die beiden zuletzt beschriebenen Bauelemente sind als gesteuerte Leistungsbauelemente oder als Hochspannungs-Sicherungselemente jedoch nicht geeignet.

Ziel dieser Arbeit ist es, sowohl Sicherungselemente als auch vollsteuerbare Schalter mit der Überstromsicherungsfunktion zu entwickeln und zu untersuchen, die für die Anwendungen vor allem im Hochleistungsbereich geeignet sind [30, 31].

4 Dualer Thyristor als Zweipolelement

Der Duale Thyristor in Zweipol-Ausführung kann aufgrund seiner Fähigkeit, durch Überstrom regenerativ abzuschalten, als aktives Sicherungselement verwendet werden. Man erwartet von einem Leistungssicherungselement neben der schneller Ein- und Ausschaltbarkeit gute Durchlasseigenschaften und hohe Sperrfähigkeit.
Da der Duale Thyristor einer Kaskoden-Anordnung entspricht, ist es sinnvoll, einen der beiden Teiltransistoren T1 und T2 als Hochvolttransistor auszulegen. Der andere Transistor muss gleichzeitig nur auf geringe Spannungsfestigkeit ausgelegt werden und kann deswegen in der selbstleitenden Version recht gute Durchlasseigenschaften besitzen [32]. Berücksichtigt man den Unterschied zwischen Elektronen- und Löcherbeweglichkeit, kommt man zur Überlegung den n-Kanal-Transistor T1 als Hochvolttransistor und den p-Kanal- Transistor T2 als gut leitenden Niedervolttransistor zu entwerfen.
Beide Transistoren werden als selbstleitende Sperrschichtfeldeffekttransistoren (JFET) entwickelt. In diesem Zusammenhang ist zu berücksichtigen, dass die Beweglichkeit der Elektronen in Inversionskanälen verringert ist. Deswegen kann sich die Beweglichkeit der Löcher in selbstleitenden p-Kanälen der Elektronenbeweglichkeit in Inversionskanälen nähern oder sogar höher liegen. Ein genauer Vergleich der Beweglichkeiten der Ladungsträger ist im Anhang A gezeigt.

4.1 Dualer Thyristor mit lateralem selbstleitenden p-Kanal-JFET und mit vertikalem selbstleitenden n-Kanal-JFET mit lateralem n-Kanal

4.1.1 Struktur des Bauelementes

Bild 4.1 zeigt den Schnitt einer einfachen hoch integrierten Version mit lateralem selbstleitenden p-Kanal-JFET und vertikalem selbstleitenden n-Kanal-JFET mit lateralem n-Kanal.
Der n-Kanal-Transistor ist ein lateraler selbstleitender Leistungs-JFET mit einer breiten drainseitigen n^-- Zone, die im Sperrbetrieb die Raumladungszone aufnehmen muss.
Die in die n^--Zone eingebettete p-Wanne erfüllt die Funktion des Gates für den n-Kanal-JFET und wird mittels eines hoch dotierten p-Gebietes mit der Kathodenmetallisierung verbunden. Dieses p^+-Gebiet erfüllt gleichzeitig die Funktion der Drain-Zone für den p-Kanal-Transistor. Das hoch dotierte n^+-Source-Gebiet ist in die p-Wanne integriert und schließt sich weiter nach rechts an den lateralen n-Kanal an. Wegen der Ausdehnung der Raumladungszone auch in die Richtung des oberen hauptstromführenden Gebietes in der n^--Zone hat sich eine n-Kanal-Verlängerung in dieser n^--Zone als notwendig herausgestellt.
Der p-Kanal-Transistor besteht aus hoch dotierter p^+-Source- und p^+-Drain-Zone. Zwischen diesen Gebieten befindet sich der laterale selbstleitende p-Kanal. Die p^+-Source-Zone wird mittels Metallisierung mit der n^+-Source des n-Kanal-Transistors verbunden.
Die Anodenelektrode kontaktiert auf der Rückseite des Chips mittels der hoch dotierten n^+-Schicht und der Metallisierung zu der n^--Zone. Der Laststrom fließt außerhalb der Kanäle senkrecht durch den Chip.
Das Ersatzschaltbild dieser Struktur wird im Bild 4.1b dargestellt.
Der p-Kanal-Transistor wird durch das elektrische Potenzial U'_A angesteuert, welches in der n^--Zone unter dem p-Kanal-Gebiet liegt (s. Bild 4.1a). Dieses Potenzial beträgt nur einen Bruchteil der Anodenspannung und kann deswegen als Spannungssonde interpretiert werden (als gestrichelte Linie im Bild 4.1b gezeigt). Also trägt die n^--Zone die Funktion eines hochohmigen Gates für den p-Kanal-JFET und gleichzeitig wird durch diese n^--Zone die Verbindung zum Drain des n-Kanal-Transistors hergestellt.

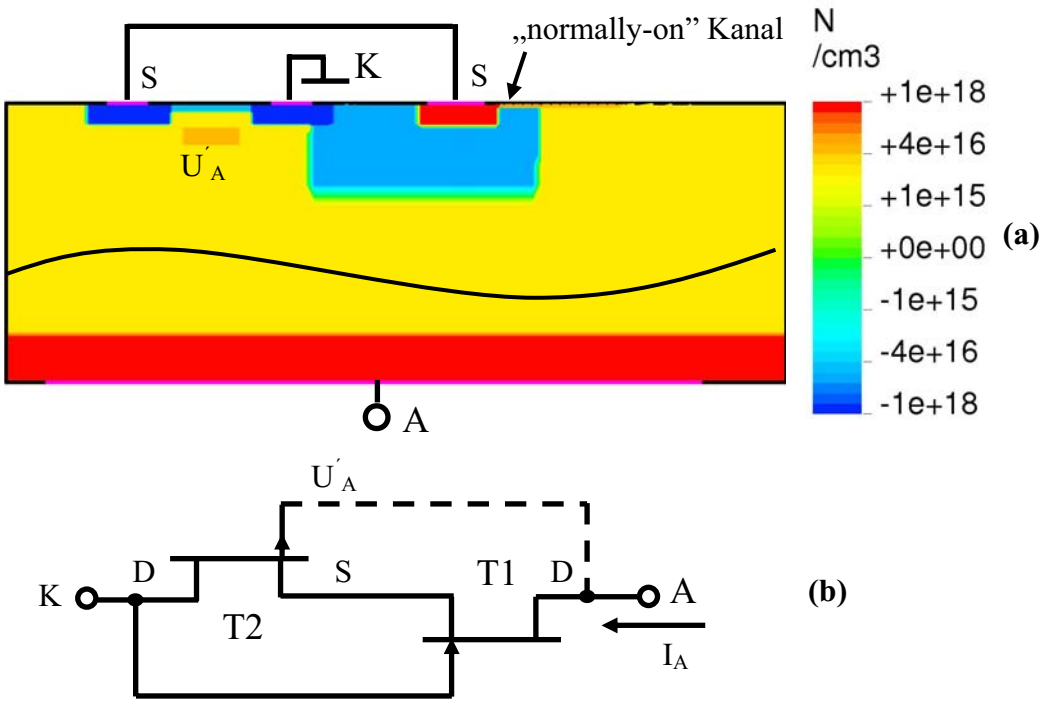


Bild 4.1: Dualer Thyristor als Kombination von einem lateralen selbstleitenden p-Kanal-JFET und einem vertikalen selbstleitenden n-Kanal- JFET mit lateralem n-Kanal:
(a) Schnittbild einer 60V-Struktur
(b) Ersatzschaltbild

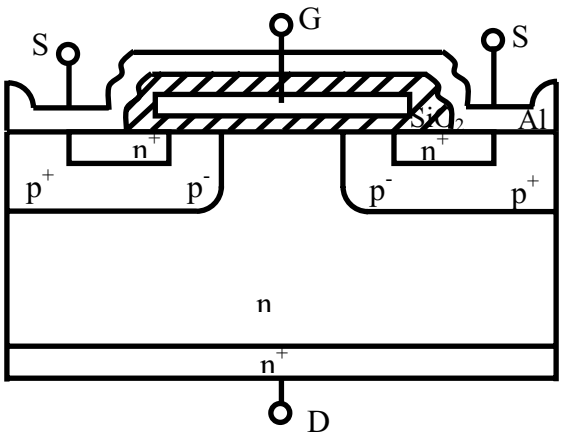


Bild 4.2: Leistungs-MOSFET-Zelle (SIPMOS Siemens) [2]

Vom Aufbau her entsteht die Struktur des Dualen Thyristors durch Integration von mehreren solchen parallel geschalteten Mikrozellen.
Die oben beschriebene Struktur kann beispielsweise auf einem n^+-Wafer mittels Epitaxie, Diffusion und Implantation, also auf der Basis einer Leistungs-MOSFET-Standardtechnologie hergestellt werden. Zum Vergleich wird im Bild 4.2 der Schnitt einer Leistungs-MOSFET-Zelle (SIPMOS Siemens) dargestellt [33]. Bei der Zweipol-Ausführung des Dualen Thyristors besteht gleichzeitig den Vorteil, dass keine MOS-Technik notwendig ist.
Die Anodenelektrode kann auch an der Oberfläche der Struktur (planar) mit Hilfe eines hoch dotierten n-Gebietes integriert werden. Ein Schnitt solcher planaren Zelle wird im Bild 4.3 gezeigt. In diesem Fall wird die Raumladungszone im Sperrbetrieb von der n^--Zone in der

lateralen Richtung aufgenommen. Deswegen benötigt eine solche planare Struktur im Vergleich zu einer vertikalen Zelle deutlich mehr Fläche.

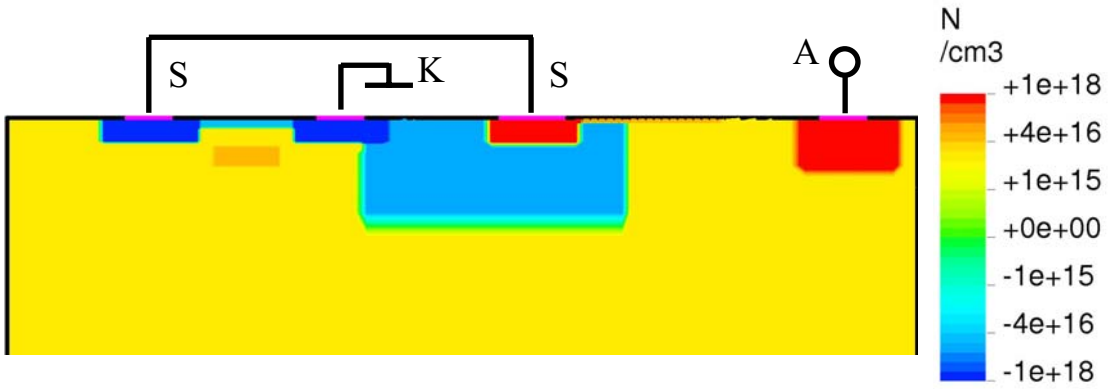


Bild 4.3: 60V-Struktur mit planarem Anodenanschluss

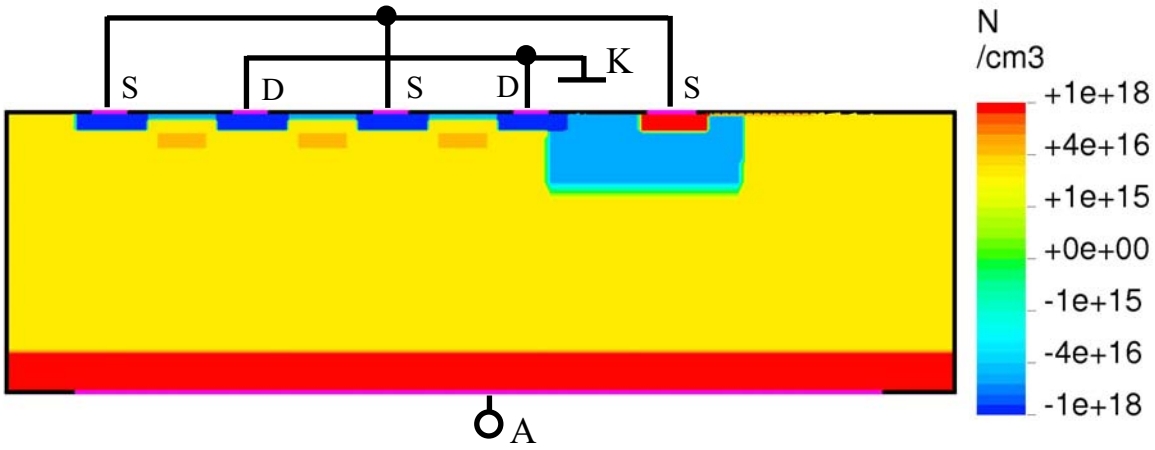


Bild 4.4: 60V-Struktur mit drei parallelen lateralen p-Kanal-JFETs und einem vertikalen n-Kanal-JFET mit lateralem n-Kanal

Zur Verbesserung der Durchlasseigenschaften kann der p-Kanal-Transistor durch mehrere parallele Kanäle erweitert werden, wie es im Bild 4.4 gezeigt wird. Es muss aber dabei berücksichtigt werden, dass aufgrund des entstehenden Flächenverlustes die Zahl von solchen parallelen p-Kanal-Transistoren begrenzt wird.

4.1.2 Strom-Spannungs-Kennlinie des Dualen Thyristors

Wir betrachten zunächst den Dualen Thyristor als Kombination von zwei selbstleitenden Langkanal-Sperrschichtfeldeffekttransistoren mit unterschiedlichen Kanaltypen, die in der Dualen Thyristor-Anordnung geschaltet sind. Die entsprechende Schaltung ist im Bild 4.5 dargestellt.
Die Transistoren T1 und T2 werden in der Schaltung durch die auf Source-Potenzial bezogenen Drain-Spannungen entsprechend U_{DS1} und U_{DS2} und Gate-Spannungen entsprechend U_{GS1} und U_{GS2} beschrieben. Durch die beiden Transistoren fließt der gleiche Strom I_A:

$$I_{DS1} = -I_{DS2} = I_A \tag{4.1}$$

Da das Gate eines Transistors elektrisch mit dem Drain des anderen Transistors verbunden ist, können die entsprechenden Drain- und Source-Spannungen gleichgesetzt werden:

$$U_{DS1} = U_{GS2} \tag{4.2}$$

$$U_{DS2} = U_{GS1} \tag{4.3}$$

Die gesamte Spannung zwischen den Ausgangsklemmen „Anode“ und „Kathode“ ist eine Differenz zwischen den beiden Drain-Spannungen:

$$U_{AK} = U_{DS1} - U_{DS2} \tag{4.4}$$

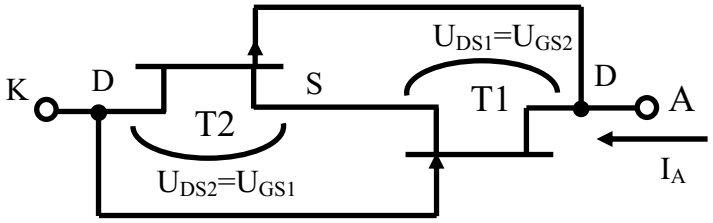


Bild 4.5: Ersatzschaltbild des Dualen Thyristors mit p- und n-Kanal-JFET

Zur Herleitung der Kennliniengleichung des Dualen Thyristors benötigen wir die Kennliniengleichungen der einzelnen Teiltransistoren.
Die Herleitung der Kennliniengleichungen eines n-Kanal-JFET beruht auf dem in Bild 4.6 dargestellten Modell. Dieses Modell entspricht der shockleyschen Modellanordnung, nach der ein JFET grundsätzlich einen oder zwei pn-Übergänge haben muss, die die Oberfläche eines stromführenden Kanals begrenzen [27, 34, 35].
Vorausgesetzt werden auch symmetrische Kanaleigenschaften in Hinsicht auf Kanaldotierung und Gate-Ansteuerung. Diese Voraussetzung erlaubt es, nur eine Hälfte des n-Kanal-JFET zu betrachten.
Das Modell wird durch folgende Geometrie- und Physikparameter beschrieben:
L_1- geometrische Kanallänge
a_1- halbe geometrische Kanalbreite (entspricht der geometrischen Kanalbreite im Fall der einseitigen Gate-Ansteuerung)
Z_1- geometrische Kanalweite
μ_n- Elektronenbeweglichkeit im Kanal
N_D- Kanaldotierung

Außerdem sind folgende Annahmen zur Herleitung der Strom-Spannungs-Gleichung erforderlich:

1. Der pn-Übergang ist stark unsymmetrisch. Das heißt, dass die Gate-Dotierung deutlich höher als die Kanal-Dotierung ist.
2. Der Kanalbereich ist homogen dotiert.
3. Der Kanalstrom ist ausschließlich ein Elektronenstrom und ein Driftstrom.
4. Der Sperrstrom über das Gate wird vernachlässigt.
5. Die Ladungsträgerbeweglichkeit μ_n ist feld-unabhängig und somit an jeder Stelle des Kanals konstant.
6. Das Verhältnis zwischen Feldkomponenten (x,y-Richtung):
   a) Im Kanal: $|E_y| \langle\langle |E_x|$
   b) In der Raumladungszone: $\left|\frac{\partial E_x}{\partial x}\right| \langle\langle \left|\frac{\partial E_y}{\partial y}\right|$

Diese beiden Annahmen werden erfüllt, wenn das Verhältnis von Kanallänge L_1 zu halber Kanalbreite a_1 groß gegen Eins ist.

7. Die Source- und Drain-Bahnwiderstände r_s und r_d werden vernachlässigt.
8. Im Abschnürpunkt stimmt die Länge zwischen dem Source-Kontakt und dem Ende des neutralen Kanalgebiets mit der geometrischen Kanallänge überein.

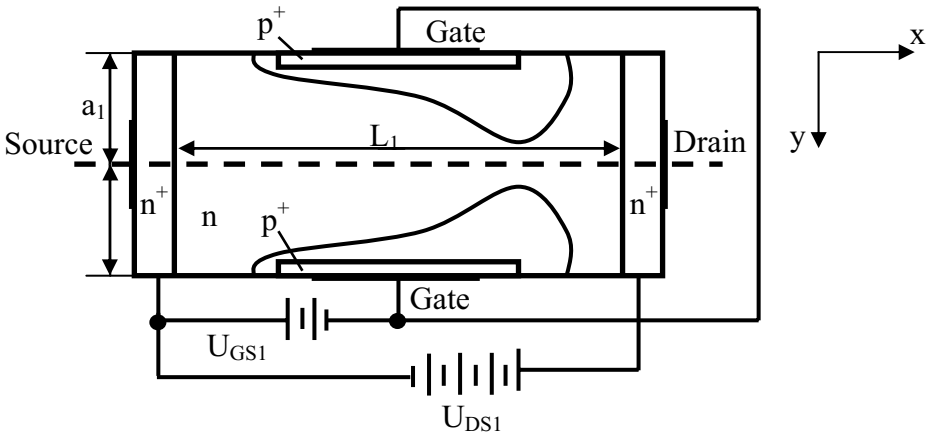


Bild 4.6: Shockleysches JFET-Modell

Die Ausgangskennlinie eines n-Kanal-JFET $I_{DS1}(U_{DS1}, U_{GS1})$ besteht aus zwei Bereichen: dem Trioden- und dem Sättigungsbereich.
Der Triodenbereich wird durch die folgende Funktion beschrieben:

$$I_{DS1} = I_{p1}\left\{3\frac{U_{DS1}}{|U_{p1}|} - 2\left(\frac{U_{DS1}+|U_{GS1}|+|U_{bi1}|}{|U_{p1}|}\right)^{3/2} + 2\left(\frac{|U_{GS1}|+|U_{bi1}|}{|U_{p1}|}\right)^{3/2}\right\} \tag{4.5}$$

U_{P1}-Abschnür- oder Pinch-Off-Spannung (negativ für einen n-Kanal-JFET)
I_{P1}- Pich-Off-Strom (positiv für einen n-Kanal-JFET)
U_{bi1}- Diffusionsspannung des pn-Übergangs zwischen Gate und Kanal

Diese Kennliniengleichung beschreibt das Verhalten vom n-Kanal-JFET T1 nur bis zu einer Spannung U_{DSAT1}, die als Sättigungs-Drainspannung bezeichnet wird:

$$U_{DSAT1} = |U_{p1}| - |U_{bi1}| - |U_{GS1}| \tag{4.6}$$

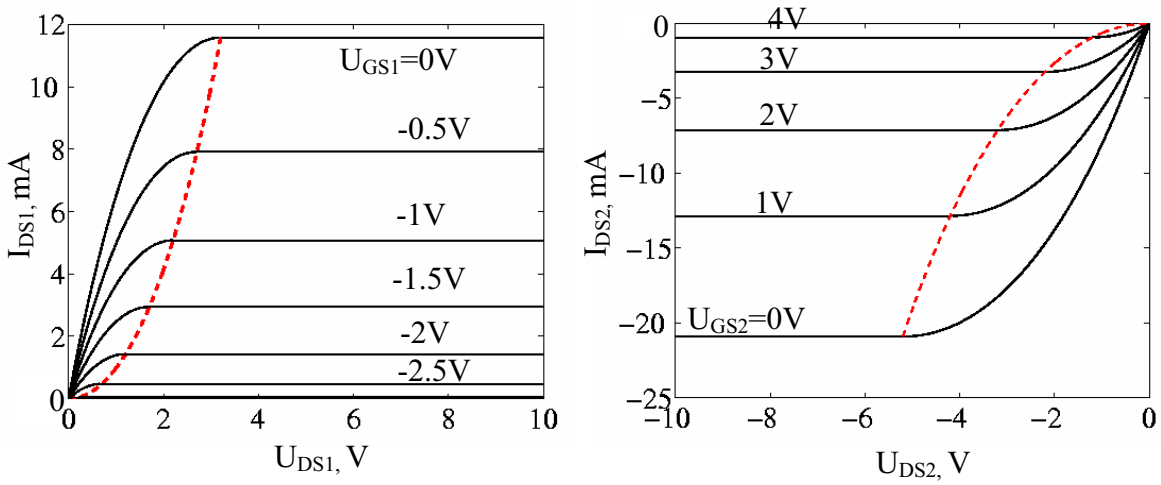
Wird diese Spannung in die Gleichung (4.5) eingesetzt, so erhält man die Beziehung $I_{DSAT1}(U_{GS1})$, die das Verhalten des Transistors im Sättigungsbereich beschreibt:

$$I_{DSAT1} = I_{p1}\left\{1 - 3\left(\frac{|U_{GS1}|+|U_{bi1}|}{|U_{p1}|}\right) + 2\left(\frac{|U_{GS1}|+|U_{bi1}|}{|U_{p1}|}\right)^{3/2}\right\} \tag{4.7}$$

Im Bild 4.7a wird das Ausgangskennlinienfeld eines n-Kanal-JFET für die vorgegebenen Parameter I_{P1} und U_{P1} dargestellt. Es ist auch zu beachten, dass das Verhalten des Transistors nur durch diese zwei Parameter beschrieben werden kann. Dabei werden die Parameter I_{p1} und U_{p1} aus den oben beschriebenen Geometrie- und Physikparametern zusammengesetzt:

$$I_{p1} = \frac{Z_1 \mu_n q^2 N_D^2 a_1^3}{3\varepsilon_s L_1} \tag{4.8}$$

$$U_{p1} = \frac{qN_D a_1^2}{2\varepsilon_s} \tag{4.9}$$



(a) **(b)**

Bild 4.7: Ausgangskennlinienfeld eines selbstleitenden JFET mit:
a) n-Kanal: U_{p1}=-4V, I_{p1}=20 mA
b) p-Kanal: U_{p2}=6V, I_{p2}=-30 mA

Für die Herleitung der Strom-Spannungs-Kennlinie des Dualen Thyristors in expliziter Form benötigt man eine Vereinfachung der Beziehungen (4.5) und (4.7). Man ersetzt deswegen die Gleichungen (4.5)-(4.7) durch die parabolische Nährung [36]:

$$I_{DS1} = \frac{I_{p1}}{U_{p1}^2}\left[2\left(U_{GS1} - U_{p1}\right)U_{DS1} - U_{DS1}^2\right] \quad \text{für den Triodenbereich } U_{DS1} \leq U_{DSAT1} \tag{4.10}$$

$$I_{DS1} = \frac{I_{p1}}{U_{p1}^2}\left(U_{GS1} - U_{p1}\right)^2 \quad \text{für den Sättigungsbereich } U_{DS1} \geq U_{DSAT1} \tag{4.11}$$

wobei

$$U_{DSAT1} = \left|U_{p1}\right| - \left|U_{GS1}\right| \tag{4.12}$$

Die Gleichungen (4.10) und (4.11) beschreiben zwar das Kennlinienfeld eines MOS-FET; allerdings können grundsätzlich beide JFETs durch zwei entsprechende selbstleitende MOS-FETs ersetzt werden, sodass die Funktion und das Kennlinienfeld des Dualen Thyristors erhalten bleiben. Außerdem bleibt die physikalische Bedeutung der Parameter I_{p1}und U_{p1} unverändert. Das heißt auch, dass die tendenzielle Wirkung dieser Parameter auf die Kennlinie des Dualen Thyristors unter der Annahme dieser Nährung unverändert bleibt.
Das Kennlinienfeld des p-Kanal-Transistors T2 kann auch näherungsweise mit Hilfe der Gleichungen (4.8)-(4.12) beschrieben werden. Man beachte nur die Änderung des Vorzeichens der entsprechenden Parameter I_{p2} und U_{p2}:

$$I_{DS2} = \frac{I_{p2}}{U_{p2}^2}\left[2\left(U_{GS2} - U_{p2}\right)U_{DS2} - U_{DS2}^2\right] \quad \text{für den Triodenbereich } |U_{DS2}| \leq |U_{DSAT2}| \tag{4.13}$$

$$I_{DS2} = \frac{I_{p2}}{U_{p2}^2}\left(U_{GS2} - U_{p2}\right)^2 \quad \text{für den Sättigungsbereich } |U_{DS2}| \geq |U_{DSAT2}| \tag{4.14}$$

wobei

$$|U_{DSAT2}| = U_{p2} - U_{GS2} \tag{4.15}$$

$$I_{p2} = \frac{Z_2 \mu_p q^2 N_A^2 a_2^3}{3\varepsilon_s L_2} \text{ - Pinch-Off-Strom des Transistors T2 (negativ für p-Kanal-JFET)} \tag{4.16}$$

$$U_{p2} = \frac{qN_A a_2^2}{2\varepsilon_s} \text{ - Pinch-Off-Spannung des Transistors T2 (positiv für p-Kanal-JFET)} \tag{4.17}$$

L_2- geometrische Kanallänge
a_2- halbe geometrische Kanalbreite
Z_2- geometrische Kanalweite
μ_p- Löcherbeweglichkeit im Kanal
N_A- p-Kanaldotierung

Das Kennlinienfeld des p-Kanal- JFET wird im Bild 4.7b bei Vorgabe von I_{p2} und U_{p2} dargestellt.

Das Verhalten des Dualen Thyristors wird jetzt unter Berücksichtigung der möglichen Zustände der Teiltransistoren T1 und T2 in drei Fälle unterteilt:

1. Beide Transistoren befinden sich im Triodenbereich.
2. Ein Transistor befindet sich im Triodenbereich, der andere Transistor ist in der Sättigung.
3. Beide Transistoren sind in der Sättigung.

Es wird angenommen, dass $|U_{p1}| \leq U_{p2}$ ist.

Die Bedingung für den **Fall 1** (beide Transistoren im Triodenbereich) wird erfüllt, wenn

$$U_{AK} \leq -U_{p1} \text{ - Bereich 1} \tag{4.18}$$

Die Ausgangskennlinien von Teiltransistoren T1 und T2 werden in diesem Fall mit den Gleichungen (4.10) und (4.13) beschrieben. Zusammen mit den Gleichungen (4.1)-(4.4) bilden diese Gleichungen ein Gleichungssystem, das sich nach U_{DS1} auflösen lässt:

$$U_{DS1} = \frac{\left(c_1 U_{AK} + c_1 U_{p1} + c_2 U_{p2}\right) + \sqrt{\left(c_1 U_{AK} + c_1 U_{p1} + c_2 U_{p2}\right)^2 - \left(c_1 + c_2\right)\left(2c_2 U_{p2} U_{AK} - c_2 U_{AK}^2\right)}}{c_1 + c_2} \tag{4.19}$$

wobei

$$c_1 = \frac{I_{p1}}{U_{p1}^2},\ c_2 = \frac{I_{p2}}{U_{p2}^2}$$

Setzt man $U_{DS1}(U_{AK})$ in die Gleichung (4.10) ein, erhält man die Funktion $I_A(U_{AK})$ für den Spannungsbereich 1.

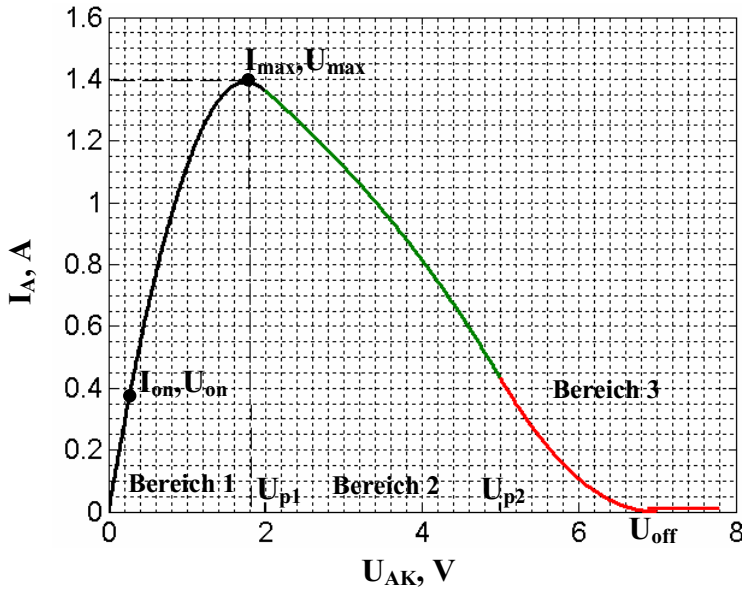


Bild 4.8: Kennlinie des Dualen Thyristors mit n-Kanal- und p-Kanal- JFET, berechnet mit den Modellgleichungen mit vorgegebenen Parametern
$I_{p1} = 4A$, $U_{p1} = -2V$, $I_{p2} = -6A$, $U_{p2} = 5V$

Das Bild 4.8 zeigt diese Funktion bei den vorgegebenen Transistor-Parametern (Bereich1). Der Verlauf dieser Kennlinie weist ein Maximum $I_{max}(U_{max})$ auf, das kurz vor dem Erreichen von $|U_{p1}|$ liegt. Nach dem Erreichen von I_{max} ergibt sich eine Kennlinie mit einem negativen differenziellen Widerstand.

Für streng komplementäre Transistoren T1 und T2, das heißt:

$$U_{p2} = -U_{p1} = U_p \tag{4.20}$$

$$I_{p1} = -I_{p2} = I_p\ , \tag{4.21}$$

transformiert sich die Funktion $I_A(U_{AK})$ im Bereich 1 in eine Parabel:

$$I_A = -\frac{I_p}{U_p^2}\left(\frac{3}{4}U_{AK}^2 + U_p U_{AK}\right) \tag{4.22}$$

Diese Funktion hat ein Maximum $I_{Amax}(U_{Amax})$, das durch I_p und U_p bestimmt wird:

$$I_{max} = \frac{1}{3}I_p \tag{4.23}$$

$$U_{max} = \frac{2}{3} U_p \tag{4.24}$$

Der **Fall 2** (der Transistor T1 in der Sättigung, der Transistor T2 im Triodenbereich) erfordert folgende Bedingung:

$$-U_{p1} \leq U_{AK} \leq U_{p2} \quad \text{- Bereich 2} \tag{4.25}$$

Die Ausgangskennlinien der Transistoren T1 und T2 entsprechen in diesem Fall den Gleichungen (4.11) und (4.13). Diese Gleichungen zusammen mit den Gleichungen (4.1)-(4.4) bilden ein neues Gleichungssystem, das wiederum nach U_{DS1} aufgelöst werden kann:

$$U_{DS1} = \frac{\left(c_1 U_{AK} + c_1 U_{p1} + c_2 U_{p2}\right) + \sqrt{\left(c_1 U_{AK} + c_1 U_{p1} + c_2 U_{p2}\right)^2 - \left(c_1 + c_2\right)\left(2c_1 U_{p1} U_{AK} + 2c_2 U_{p2} U_{AK} + c_1 U_{p1}^2 + \left(c_1 - c_2\right) U_{AK}^2\right)}}{c_1 + c_2} \tag{4.26}$$

Setzt man in die Gleichung (4.11) die Beziehung $U_{DS1}(U_{AK})$ ein, gewinnt man die Funktion $I_A(U_{AK})$ für den Bereich 2. Diese abfallende Funktion ist im Bild 4.8 im Bereich 2 dargestellt.

Der **Fall 3** (beide Transistoren in der Sättigung) ist unter folgender Bedingung erfüllt:

$$U_{AK} \geq U_{p2} \quad \text{- Bereich 3} \tag{4.27}$$

Die Ausgangskennlinien der Transistoren T1 und T2 entsprechen in diesem Fall den Gleichungen (4.11) und (4.14). Die Auflösung des Gleichungssystems nach U_{DS1} ergibt folgende Lösung:

$$U_{DS1} = \frac{\left(c_1 U_{AK} + c_1 U_{p1} + c_2 U_{p2}\right) + \sqrt{\left(c_1 U_{AK} + c_1 U_{p1} + c_2 U_{p2}\right)^2 - \left(c_1 + c_2\right)\left(2c_1 U_{p1} U_{AK} + c_1 U_{p1}^2 + c_2 U_{p2}^2 + c_1 U_{AK}^2\right)}}{c_1 + c_2} \tag{4.28}$$

Beim Einsetzen von $U_{DS1}(U_{AK})$ in der Gleichung (4.11) ergibt sich die Kennliniengleichung $I_A(U_{AK})$ für den Bereich 3 (s. Bild 4.8, Bereich 3). Diese abfallende Funktion wird Null beim Erreichen der Anodenspannung U_{off}, die als Abschaltspannung bezeichnet wird:

$$U_{off} = -U_{p1} + U_{p2} \tag{4.29}$$

$$I_A\left(U_{AK} \geq U_{off}\right) = 0 \tag{4.30}$$

Die im Bild 4.8 dargestellte Kennlinie des Dualen Thyristors enthält drei charakteristische Punkte.
Der maximale Strom I_{max} und die entsprechende maximale Spannung U_{max} beschreiben den Punkt, ab dem ein regeneratives Abschalten des Bauelementes beginnt. Ab der Spannung U_{max} wird der differenzielle Widerstand negativ.
Die Spannung U_{off} entspricht dem Punkt, in dem Anodenstrom I_A durch regeneratives Abschalten Null wird und das Bauelement in den „Off"-Zustand übergeht. Es ist zu beachten, dass in diesem Zustand in Wirklichkeit ein Sperrstrom durch das Bauelement fließt, der deutlich kleiner als Arbeitsstrom ist.

Der Arbeitspunkt, in dem das Bauelement im „On“-Zustand betrieben wird, liegt auf dem steigenden Abschnitt der Kennlinie (s. Bild 4.8, Bereich 1) und wird durch den Nennstrom I_{on} und die Nennspannung U_{on} definiert. Diesem Punkt entspricht ein statischer Widerstand R_{on}:

$$R_{on} = \frac{U_{on}}{I_{on}} \tag{4.31}$$

sowie ein differenzieller Widerstand r_{on}:

$$r_{on} = \left.\frac{dU_{AK}}{dI_A}\right|_{U_{AK}=U_{on}} \tag{4.32}$$

Die wichtigsten Ergebnisse der eben durchgeführten Analyse sollen hier noch einmal zusammengefasst werden:

- Die Strom-Spannungs-Kennlinie des Dualen Thyristors hat ein Maximum mit einem negativen differenziellen Widerstand ab der Spannung U_{max}.
- Dieses Maximum entsteht kurz vor dem Erreichen der kleinsten für die beiden Transistoren Pinch-Off –Spannung (in diesem Fall $|U_{P1}|$).
- Ab einer bestimmten Anodenspannung U_{off} wird der Anodenstrom Null.
- Die Kennlinie kann durch insgesamt vier Parameter beschrieben werden. Diese Parameter (I_{p1}, U_{p1}, I_{p2}, U_{p2}) setzen sich aus entsprechenden Physik- und Geometrie-Parametern der einzelnen Teiltransistoren T1 und T2 zusammen.

Die Wirkung der einzelnen Parameter auf die Kennlinie und die daraus folgenden Anforderungen an die Struktur und die Eigenschaften der Teilkomponenten des Dualen Thyristors diskutieren wir im nächsten Kapitel.

4.1.3 Wirkung von Parametern der Teiltransistoren auf die Kennlinie des Dualen Thyristors

In Kapitel 4.1.2 zeigten wir, dass die Parameter des n-Kanal-Transistors I_{p1} und U_{p1} laut Gleichungen (4.8) und (4.9) durch Kanalgeometrie, Kanaldotierung und Elektronenbeweglichkeit im Kanal bestimmt werden.
Wir bezeichnen das Produkt $N_D a_1$ als n-Kanalladung Q_n:

$$Q_n = N_D a_1 \tag{4.33}$$

Diese Kanalladung wird durch die maximale elektrische Feldstärke E_{nc} begrenzt [27]:

$$Q_n \leq Q_{n\,max}, \qquad Q_{n\,max} = \varepsilon_s E_{nc} \tag{4.34}$$

E_{nc} ist die elektrische Feldstärke, bei der Avalanche im n-Kanal auftritt.

Gemäß Gleichungen (4.8), (4.9) und (4.34) begrenzt die maximale Kanalladung sowohl den Pinch-Off-Strom I_{p1} bei einem vorgegebenen Aspektverhältnis Kanalbreite a_1 zu Kanallänge L_1 als auch die Pinch-Off-Spannung U_{p1} bei vorgegebener Kanalbreite:

$$I_{p1} \le \frac{Z_l \mu_n q^2 Q_{n\max}^2}{3\varepsilon_s} \eta_1 \tag{4.35}$$

$$\eta_1 = \frac{a_1}{L_1} \text{ - Aspektverhältnis Kanalbreite } a_1 \text{ zu Kanallänge } L_1 \tag{4.36}$$

$$U_{p1} \le \frac{qQ_{n\max} a_1}{2\varepsilon_s} \tag{4.37}$$

Unter Annahme des maximalen Wertes der Kanalladung Q_{nmax} ist der Pinch-Off-Strom I_{p1} gemäß Beziehung (4.35) direkt proportional zum Aspektverhältnis η_1:

$$I_{p1} \sim \eta_1 \tag{4.38}$$

Die Pinch-off-Spannung U_{p1} ist unter dieser Annahme laut Beziehung (4.37) direkt proportional zur Kanalbreite a_1:

$$U_{p1} \sim a_1 \tag{4.39}$$

Bild 4.9 zeigt, wie sich die Strom-Spannungs-Kennlinie des Dualen Thyristors ändert, wenn die Kanallänge L_1 verkürzt wird. Die Kennlinien wurden mit den oben beschriebenen Modellgleichungen berechnet. Die Variation vom Pinch-Off-Strom I_{p1} wurde durch Änderung der Kanallänge entsprechend der Beziehung (4.38) unter der Vorgabe von anderen Parametern vorgenommen. Man stellt fest, dass die Reduktion der Kanallänge L_1 neben der deutlichen Verbesserung der Durchlasseigenschaften des Dualen Thyristors auch zur Erhöhung des maximalen Stromes I_{max} führt. Die Abschaltspannung U_{off} sowie die maximale Spannung U_{max} bleiben dabei unverändert.
Das mit Hilfe des Modells berechnete Kennlinienverhalten des Dualen Thyristors wird auch durch Simulationsergebnisse bestätigt. Bild 4.10a zeigt die simulierten Strom-Spannungs-Kennlinien der im Bild 4.1 dargestellten 60V-Struktur bei Variation des Aspektverhältnisses η_1 durch die Änderung der n-Kanallänge L_1. Die Abschaltspannung U_{off} wird durch Kanallängenreduktion nicht beeinflusst. Nur bei einer Reduktion der Kanallänge auf weniger als ca. 1µm ist eine kleine Erhöhung der Abschaltspannung festzustellen.
Die Reduktion der n-Kanallänge L_1 hat den Zweck, die Durchlasseigenschaften des gesamten Bauelementes zu verbessern. Aus dem Bild 4.10b ist zu entnehmen, dass beispielsweise eine n-Kanallängenreduktion von 1,5µm auf 1µm zu einem Gewinn von ca. 170mV in der Durchlassspannung bei einer Stromdichte von 30 A/cm^2 führt.
Da der maximale Strom I_{max} durch die maximal zulässige Leistung P_{max} begrenzt wird, kann die n-Kanallänge zur Verbesserung der Durchlasseigenschaften des Bauelementes nicht beliebig reduziert werden.
Es ist auch zu beachten, dass eine beliebige Reduktion der Kanallänge aus einem weiteren Grund nicht möglich ist. Eine bestimmte minimale Kanallänge ist auch erforderlich, um eine notwendige Punch-Through-Spannungsfestigkeit zwischen Drain- und Source-Gebiet zu gewährleisten.

Eine Erhöhung des Aspektverhältnisses durch Vergrößerung der Kanalbreite a_1 führt laut den Beziehungen (4.38) und (4.39) zur Erhöhung beider Parameter I_{p1} und U_{p1}. Die Änderung der Strom-Spannungs-Kennlinie aufgrund der Vergrößerung der Kanalbreite a_1 ist im Bild 4.11 dargestellt. Die Kennlinien wurden mit den oben beschriebenen Modellgleichungen berechnet. Die Variation von Pinch-Off-Strom I_{p1} und Pinch-Off-Spannung U_{p1} wurde durch Ände-

rung der Kanalbreite a_1 entsprechend den Beziehungen (4.38) und (4.39) unter der Vorgabe von weiteren Parametern vorgenommen. Entsprechend den vorgestellten Ergebnissen führt die Vergrößerung der Kanalbreite a_1 zu einer Erhöhung des maximalen Stromes I_{max} und der maximalen Spannung U_{max}, sowie zur Erhöhung der Abschaltspannung U_{off}. Dabei werden die Durchlasseigenschaften des Dualen Thyristors nicht so stark verbessert, wie es bei gleicher Änderung des Aspektverhältnisses durch die Kanal-Verkürzung festzustellen ist.

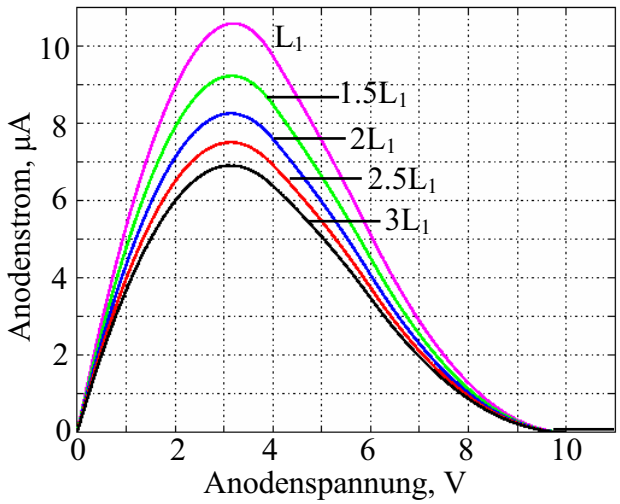
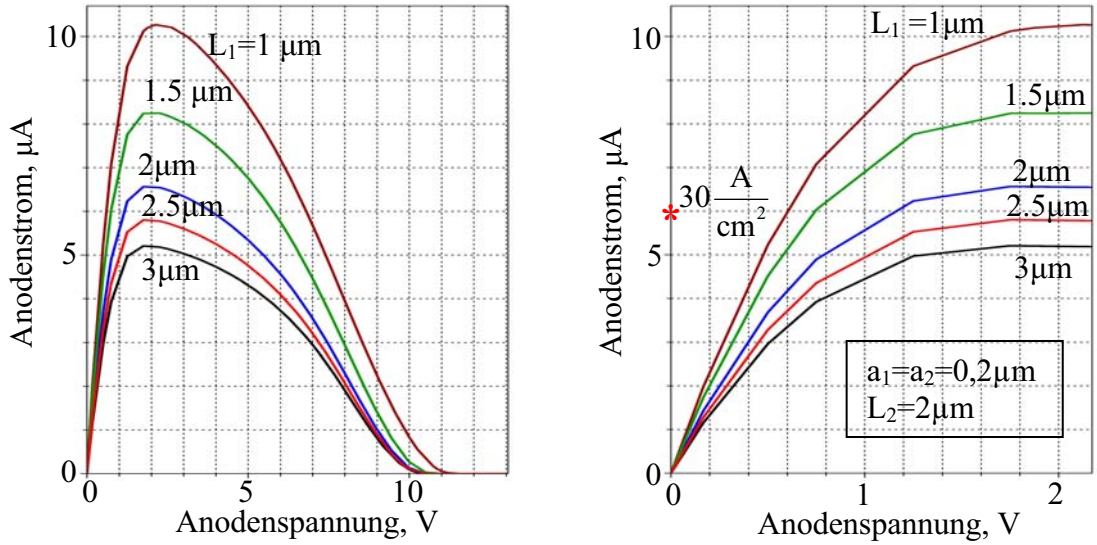


Bild 4.9: Strom-Spannungs-Kennlinie des Dualen Thyristors, berechnet mit den Modellgleichungen bei Variation des Pinch-Off-Stroms I_{p1} durch Änderung der Kanallänge und bei den folgenden vorgegebenen Parametern:
U_{p1}=-4V, U_{p2}=6V, I_{p1} (L_1)=60µA, I_{p2} =-25µA



(a) Gesamte Kennlinie **(b)** Durchlassbereich

Bild 4.10: Simulierter Kennlinienvergleich einer 60V-Struktur bei Variation des Aspektverhältnisses η_1 durch Erhöhung der p-Kanallänge L_1 und bei konstanter Kanalladung Q_{nmax}

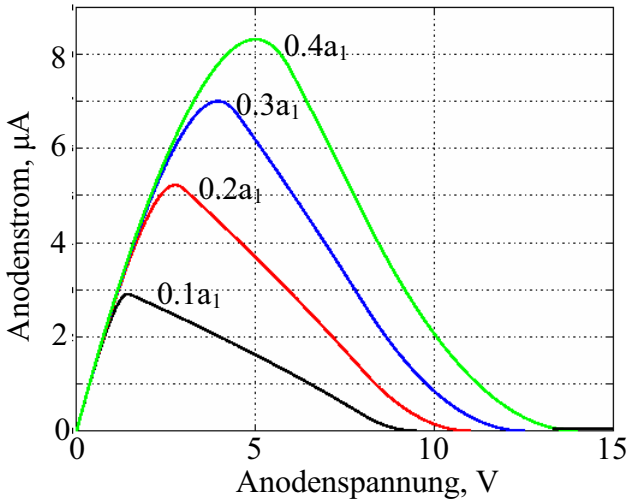
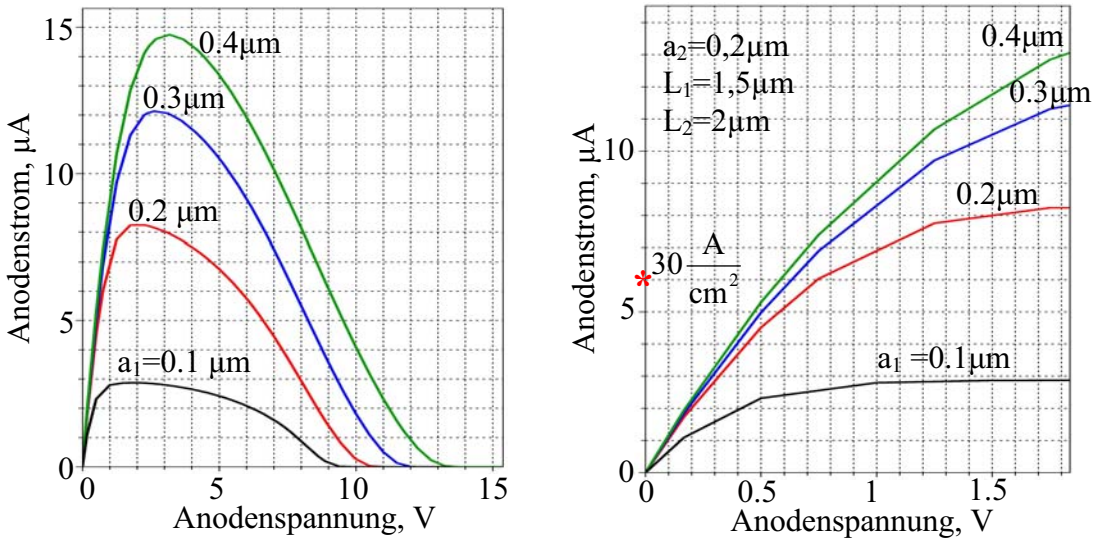


Bild 4.11: Strom-Spannungs-Kennlinie des Dualen Thyristors, berechnet mit den Modellgleichungen bei Variation des Pinch-Off-Stroms I_{p1} und der Pinch-Off-Spannung U_{p1} durch Änderung der Kanalbreite und bei vorgegebenen weiteren Parametern: U_{p1}= - 1.5V, U_{p2} = 8V, $I_{p1}(a_1)$ = 40µA, I_{p2} = - 12µA



(a) Gesamte Kennlinie **(b)** Durchlassbereich

Bild 4.12: Simulierter Kennlinienvergleich einer 60V-Struktur bei Variation vom Aspektverhältnis η_1 durch Erhöhung der p-Kanalbreite a_1 und bei konstanter Kanalladung Q_{nmax}

Ein solches Kennlinienverhalten zeigt eine gute Übereinstimmung mit den Simulations-Ergebnissen. Bild 4.12 zeigt zum Vergleich simulierte Strom-Spannungs-Kennlinien der im Bild 4.1 dargestellten 60V-Struktur bei Variation des Aspektverhältnisses η_1 durch Vergrößerung der n-Kanalbreite a_1.

Die Parameter des p-Kanal-Transistors haben eine ähnliche Wirkung auf die Kennlinie des Dualen Thyristors wie die Parameter des n-Kanal-Transistors.
Die Parameter des p-Kanal-Transistors I_{p2} und U_{p2} werden gemäß Gleichungen (4.16) und (4.17) durch Kanalgeometrie, Kanalladung und Löcherbeweglichkeit im p-Kanal bestimmt.

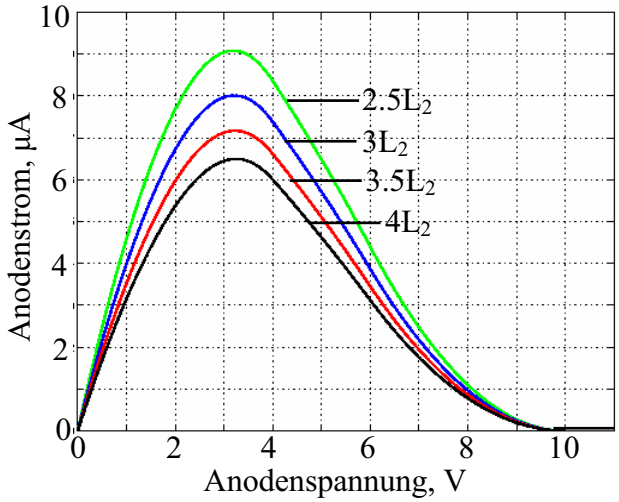
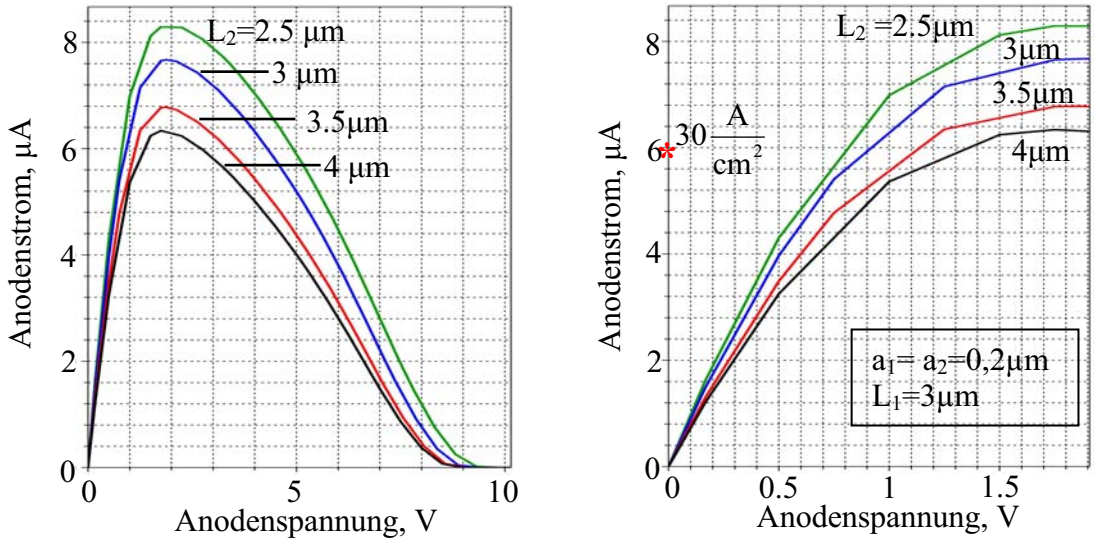


Bild 4.13: Strom-Spannungs-Kennlinie des Dualen Thyristors, berechnet mit den Modellgleichungen bei Variation des Pinch-Off-Stroms I_{p2} durch Änderung der Kanallänge und bei vorgegebenen weiteren Parametern:
$U_{p1} = -4V$, $U_{p2} = 6V$, $I_{p1} = 50\mu A$, $I_{p2}\ (2.5L_2) = -20\mu A$



(a) Gesamte Kennlinie **(b)** Durchlassbereich

Bild 4.14: Simulierter Kennlinienvergleich einer 60V-Struktur bei Variation des Aspektverhältnisses η_2 durch Erhöhung der p-Kanallänge L_2 und bei konstanter Kanalladung Q_{pmax}

Wir bezeichnen das Produkt $N_A a_2$ als p-Kanalladung Q_n:

$$Q_p = N_A a_2 \tag{4.40}$$

Die Kanalladung ist durch die maximale elektrische Feldstärke E_{pc} begrenzt.

$$Q_p \leq Q_{pmax}, \quad Q_{pmax} = \varepsilon_s E_{pc} \tag{4.41}$$

E_{pc} ist die elektrische Feldstärke, bei der Avalanche im p-Kanal auftritt.

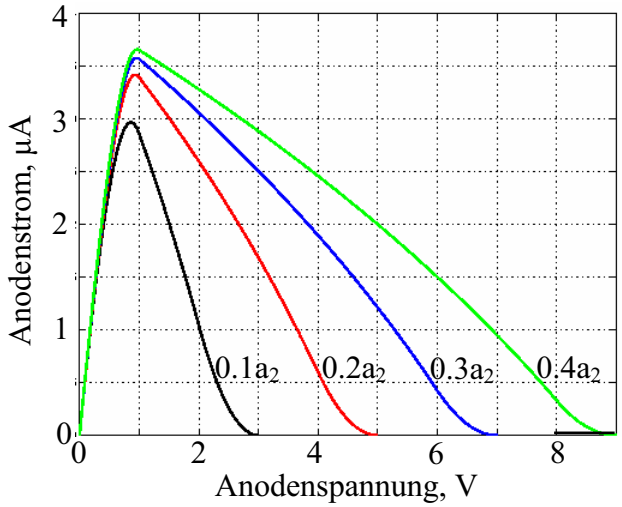
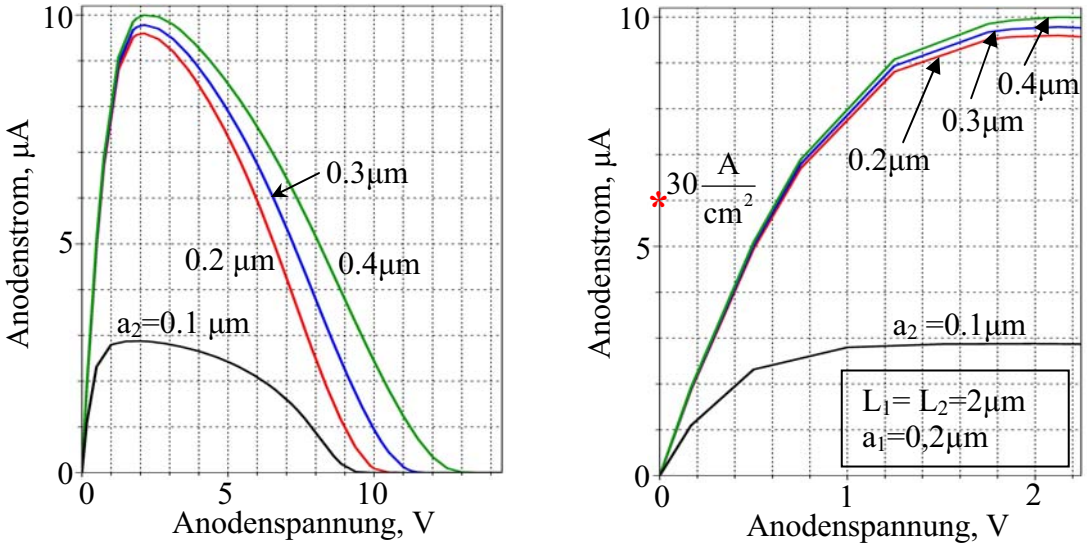


Bild 4.15: Strom-Spannungs-Kennlinie des Dualen Thyristors, berechnet mit den Modellgleichungen bei Variation des Pinch-Off-Stroms I_{p2} und der Pinch-Off-Spannung U_{p2} durch Änderung der Kanalbreite und bei vorgegebenen weiteren Parametern: $U_{p1} = -1V$, $U_{p2} = 2V$, $I_{p1} = 20\mu A$, $I_{p2}(a_2) = -7\mu A$



(a) Gesamte Kennlinie **(b)** Durchlassbereich

Bild 4.16: Simulierter Kennlinienvergleich einer 60V-Struktur bei Variation vom Aspektverhältnis η_2 durch Erhöhung der p-Kanalbreite a_2 und bei konstanter Kanalladung Q_{pmax}

Laut Gleichungen (4.16), (4.17) und (4.41) begrenzt die maximale Kanalladung den Pinch-Off-Strom I_{p2} beim vorgegebenem Aspektverhältnis Kanalbreite a_2 zu Kanallänge L_2 und die Pinch-Off-Spannung U_{p2} bei der vorgegebenen Kanalbreite:

$$I_{p2} \le \frac{Z_2 \mu_p q^2 Q_{pmax}^2}{3\varepsilon_s} \eta_2 \tag{4.42}$$

$$\eta_2 = \frac{a_2}{L_2} \text{ - Aspektverhältnis Kanalbreite } a_2 \text{ zu Kanallänge } L_2 \tag{4.43}$$

$$U_{p2} \leq \frac{qQ_{pmax}a_2}{2\varepsilon_s} \tag{4.44}$$

Unter Annahme des maximalen Wertes der Kanalladung Q_{pmax} ist der Pinch-Off-Strom I_{p2} gemäß Beziehung (4.42) direkt proportional zum Aspektverhältnis η_2:

$$I_{p2} \sim \eta_2 \tag{4.45}$$

Die Pinch-off-Spannung U_{p2} ist unter dieser Annahme laut Beziehung (4.44) direkt proportional zur Kanalbreite a_2:

$$U_{p2} \sim a_2 \tag{4.46}$$

Das Kennlinienverhalten bei Variation des Aspektverhältnisses η_2 wird in den Bilder 4.13-4.16 dargestellt. Eine Übereinstimmung zwischen dem Modellverhalten und den Simulationsergebnissen kann auch bei dem Modell-Simulations-Vergleich festgestellt werden.

Wie der oben dargestellte Modell-Simulations-Vergleich zeigt (s. Bilder 4.9-4.16), ermöglicht das Modell die tendenzielle Wirkung der Parameter von Teiltransistoren auf die Strom-Spannungs-Kennlinie des Dualen Thyristors einfach und mit guter Korrelation zu beschreiben. Die präzise Kennlinienbeschreibung mit Hilfe der Modellgleichungen ist aber auf den Fall des niederohmigen n^--Substrates eingeschränkt. Der Grund dafür ist die Tatsache, dass die Annahme eines stark unsymmetrischen pn-Überganges (s. Kapitel 4.1.2, Annahme zur Herleitung der Strom-Spannungs-Gleichung des JFET) aufgrund der relativ niedrigen Dotierung des n^--Substrates in den realen Hochvolt-Strukturen für den p-Kanal-JFET nicht erfüllt ist.
Die Dotierung der n^--Zone ergibt sich aus der notwendigen Sperrfähigkeit des Bauelementes und liegt deutlich niedriger als die p-Kanal-Dotierung. Das führt aber zu einer schlechten Aussteuerung des p-Kanal-JFET und deswegen laut Gleichung (4.29) zur Erhöhung der Abschaltspannung U_{off} oder sogar zur Fehlfunktion der regenerativen Überstrom-Abschaltung des Bauelementes.
Eine Lösung des Problems ist die Anwendung der vergrabenen hoch dotierten n-Gebiete (n^+-Inseln) unter dem p-Kanal. Solche vergrabene n^+-Inseln findet man in den oben gezeigten Schnittbildern der vertikalen und planaren Zelle unter dem p-Kanal (s. Bilder 4.1a, 4.3, 4.4).
Die Abstände von dieser n^+-Insel zu den nah liegenden p-Kanal-, p-Drain- und p-Source-Gebieten und die Höhe der Dotierung dieser n^+-Insel sind wegen der notwendigen Sperrfestigkeit und auch wegen der entstehenden Diffusionsspannung zwischen der n^+-Insel und dem p-Kanal-Gebiet zu beachten.
Außerdem vermeidet eine solche vergrabene Schicht das mögliche Auftreten des Punch-Through-Zustandes zwischen dem Drain- und Source-Gebiet des p-Kanal-Transistors vor dem Beginn des regenerativen Abschaltens des Dualen Thyristors. Kommt es zwischen dem Drain- und Source-Gebiet des p-Kanal-Transistors vor dem Abschaltbeginn zu einem Punch-Through-Zustand, schaltet das Bauelement nicht ab.

4.1.4 Wirkung der n^+-Insel auf die Strom-Spannungs-Charakteristik des Dualen Thyristors

Die Bilder 4.17 und 4.18 zeigen, welche Wirkung die n^+-Insel auf die Kennlinie einer 60V- bzw. einer 200V-Struktur hat. Die Abschaltspannung U_{off} bei der 60V-Struktur ohne n^+-Insel ist doppelt so hoch wie bei der Struktur mit n^+-Insel.
Bei der 200V-Struktur ist ein regeneratives Abschalten ohne n^+-Insel nicht möglich.

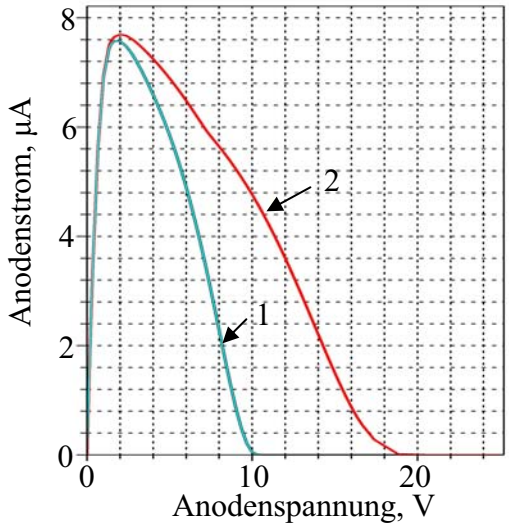


Bild 4.17: Kennlinien einer 60V-Struktur mit vergrabener n^+-Insel (Kurve 1) und ohne n^+-Insel (Kurve 2)

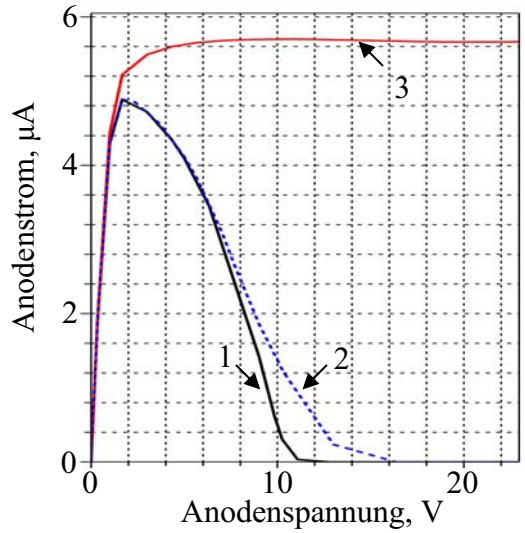


Bild 4.18: Kennlinien einer 200V-Struktur:
Kurve 1- mit vergrabener n^+-Insel, Abstand der p-Wanne zur n^+-Insel beträgt 1.9 µm
Kurve 2- mit vergrabener n^+-Insel, Abstand der p-Wanne zur n^+-Insel beträgt 0.9 µm
Kurve 3- ohne n^+-Insel

Es ist zu beachten, dass in solchen Strukturen die p-Wanne nicht zu nah an der n^+-Insel liegen darf, weil durch die Ausdehnung der Raumladungszone die n^+-Insel elektrisch abgeschirmt wird. Dies verursacht, wie es aus dem Bild 4.18 (Kurven 1 und 2) zu entnehmen ist, eine Erhöhung der Abschaltspannung U_{off} aufgrund der Absenkung des Ansteuerpotenzials U'_A (s. Bild 4.1a).

Technologisch gesehen sind solche vergrabenen Schichten aufwändig und deswegen teuer. Außerdem müssen die Abstände von dieser n^+-Insel zu den nah liegenden p-Kanal-, p-Drain- und p-Source-Gebieten und die Höhe der Dotierung dieser n^+-Insel wegen der notwendigen Sperrfestigkeit und auch wegen der entstehenden Diffusionsspannung zwischen n^+-Insel und p-Kanal-Gebiet berücksichtigt werden. Das kann zwar durch den Abstand von der Insel zu den beiden Gebieten und durch die Höhe der Dotierung der n^+-Insel eingestellt werden, beinhaltet aber einen zusätzlichen technologischen Aufwand bei der Herstellung dieser Struktur.
Es ist deswegen vom Vorteil eine Struktur zu entwickeln, die ohne solche vergrabenen Schichten die vergleichbaren Abschaltspannungen U_{off} erreichen kann.

4.1.5 Dreidimensionale Duale Thyristor-Zelle mit lateralem selbstleitenden p-Kanal-JFET und vertikalem selbstleitenden n-Kanal-JFET mit lateralem n-Kanal

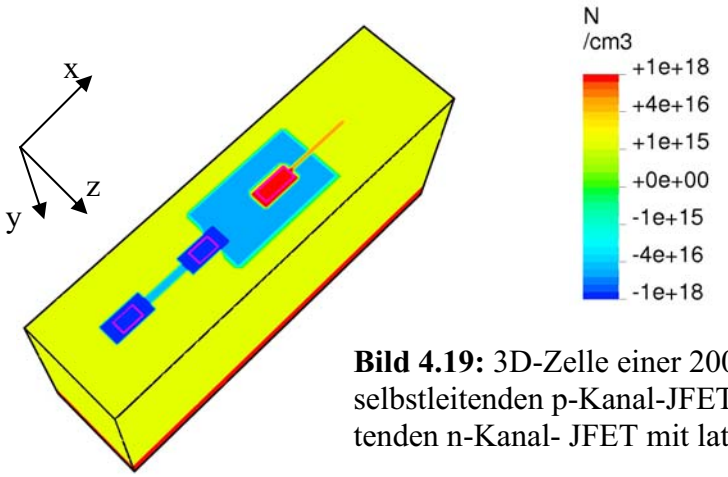


Bild 4.19: 3D-Zelle einer 200V-Struktur mit lateralem selbstleitenden p-Kanal-JFET und vertikalem selbstleitenden n-Kanal- JFET mit lateralem n-Kanal

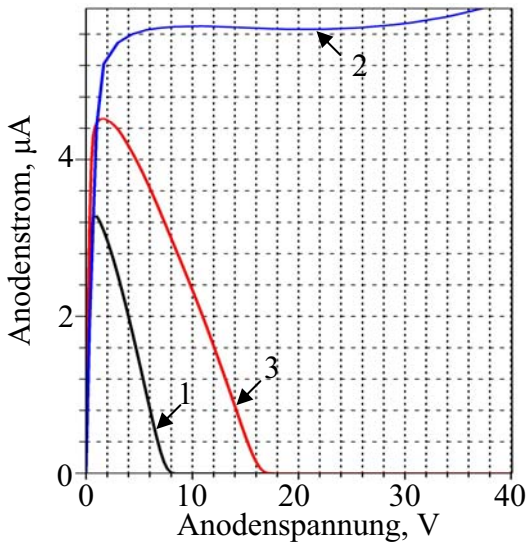


Bild 4.20: Simulierter Kennlinienvergleich von 3D- und 2D-Zellen des Dualen Thyristors:
Kurve 1- 3D-Zelle mit dreiseitiger Kanalabschnürung in der parallel zu z- und y-Richtung, p-Kanalbreite beträgt 0.2 µm;
Kurve 2 - 2D-Zelle mit gleicher Kanalgeometrie und Kanaldotierung mit einseitiger Kanalabschnürung in der parallel zu y-Richtung, Kanalbreite beträgt 0.2 µm;
Kurve 3 - 3D-Zelle mit der verdoppelten p-Kanalbreite 0.4 µm

Bei dreidimensionaler Betrachtung eines lateralen Sperrschichtfeldeffekttransistors besteht die Möglichkeit, den Kanal von drei Seiten abzuschnüren. Bild 4.19 zeigt eine dreidimensionale Duale Thyristor-Zelle mit lateralem selbstleitenden p-Kanal-JFET und vertikalem selbstleitenden n-Kanal-JFET mit lateralem n-Kanal, die als 200V-Bauelement ausgelegt ist. Beide Kanäle werden dreidimensional (von drei Seiten) abgeschnürt.
Im Bild 4.20 wird die Kennlinie einer solchen 3D-Zelle mit der Kennlinie einer aufbaugleichen 2D-Zelle verglichen. Beide Zellen enthalten die entsprechenden identischen Teiltransistoren mit gleicher Kanaldotierung, Kanalbreite, Kanallänge und Kanalfläche.
Mit dieser Anpassung schaltet die 3D-Zelle bei ca. 20V regenerativ ab. Dagegen findet im Fall der 2D-Zelle das regenerative Abschalten nicht statt. Das bedeutet, dass bei der Abschnürung von Kanälen dreidimensional mehr Kanalladung für beide Teiltransistoren erlaubt wird als im zweidimensionalen Fall. Dadurch können bessere Durchlasseigenschaften für das gesamte Bauelement erzielt werden. Wird zum Beispiel die Kanalbreite der 3D-Zelle verdoppelt, kann das Bauelement, trotz der Erhöhung der Abschaltspannung U_{off} regenerativ abschalten (s. Bild 4.20, Kurve 3).
Auch im dreidimensionalen Fall muss die elektrische Abschirmung der Gate-Gebiete berücksichtigt werden, welche durch die Ausdehnung der Raumladungszone entsteht.

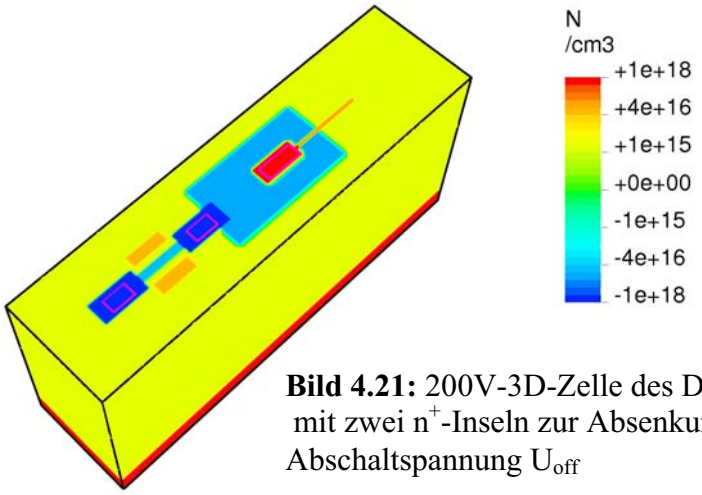
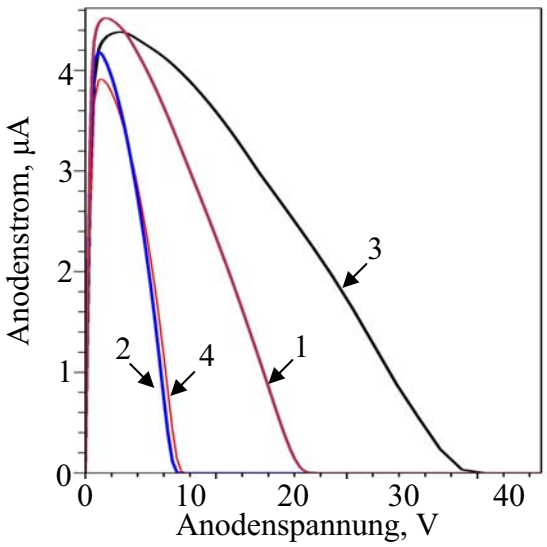


Bild 4.21: 200V-3D-Zelle des Dualen Thyristors mit zwei n^+-Inseln zur Absenkung der Abschaltspannung U_{off}



1- 200V-3D-Zelle ohne n^+-Inseln
2- 200V-3D-Zelle mit n^+-Inseln
3- 400V-3D-Zelle ohne n^+-Inseln
4- 400V-3D-Zelle mit n^+-Inseln

Bild 4.22: Simulierter Kennlinienvergleich von 3D- Strukturen des Dualen Thyristors mit und ohne n^+-Inseln

Zur Reduktion der Abschaltspannung können bei der 3D-Zellen ähnlich wie bei der 2D-Zellen die zum Kanal nah liegenden n^+-Inseln verwendet werden. Allerdings hat der 3D-Fall den Vorteil, dass diese Inseln keine vergrabenen Schichten mehr sind und deswegen technologisch einfach hergestellt werden können. Eine solche 3D-Zelle mit zwei n^+-Inseln ist im Bild 4.21 dargestellt.
Bild 4.22 zeigt einen Vergleich der Kennlinien von solchen 3D-Strukturen mit n^+-Inseln mit den Kennlinien identischer Strukturen ohne n^+-Inseln. Bei einer 200V-Struktur ergibt sich unter Anwendung solcher n^+-Inseln eine mehr als zweifache Reduktion der Abschaltspannung U_{off}. Bei einer 400V-Struktur führt die Anwendung der n^+-Inseln zur ca. vierfachen Abnahme der Abschaltspannung U_{off}.
Es ist zu beachten, dass aufgrund der notwendigen Durchbruchsspannung auch im 3D-Fall die Dotierung der n^+-Insel und der Abstand zu dem p-Drain- und n-Source-Gebiet eingestellt werden muss. Im Gegensatz zu den vergrabenen Schichten in 2D-Zellen entsteht in diesem Fall kein großer technologischer Aufwand bei der Herstellung solcher Strukturen.

Zur Verbesserung der Durchlasseigenschaften sowie zum Erreichen des notwendigen Nennstroms kann die 3D-Zelle parallel erweitert werden. Bild 4.23 zeigt eine solche Mikrozellenstruktur aus drei parallelen p-Kanal-JFETs und drei parallelen n-Kanal-JFETs.
Wie bei lateralen COOLMOS-Strukturen kann in dieser Mikrozellenstruktur das Kompensationsprinzip verwendet werden [37].

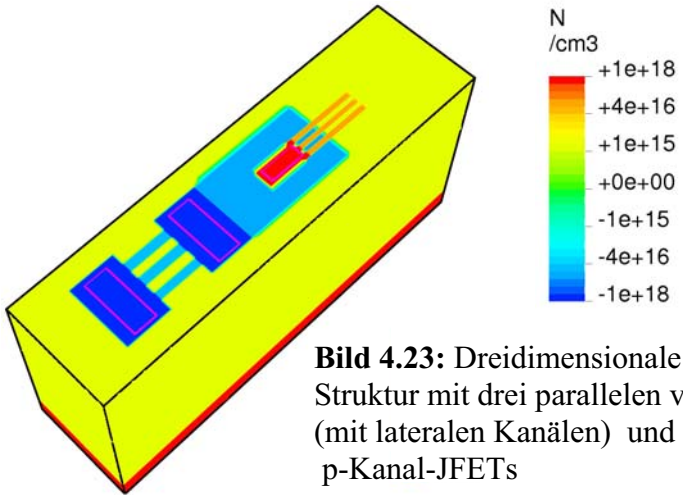


Bild 4.23: Dreidimensionale Duale Thyristor-Struktur mit drei parallelen vertikalen n-Kanal-JFETs (mit lateralen Kanälen) und drei parallelen lateralen p-Kanal-JFETs

4.1.6 Zusammenfassung

Die durchgeführte Simulationsuntersuchung ergab ein neues Bauelement, das auf dem Dualen Thyristor-Prinzip funktioniert. Die dem Bauelement entsprechende Kennlinie vom N-Typ kann sowohl durch Device-Simulation als auch durch Modellanalyse bestätigt werden.
Bei der Entwicklung des Bauelementes wird auch das Prinzip der Kaskodierung verwendet. Das ermöglicht, das Bauelement als Leistungsbauelement auszulegen.
Das untersuchte Modellverhalten kann durch Simulationsergebnisse mit guter Korrelation belegt werden.
Das Modell wird durch insgesamt vier Parameter beschrieben, die aus den physikalischen und konstruktiven Parametern der Teiltransistoren zusammengesetzt sind.
Dadurch kann das Modell bei der Strukturoptimierung zwecks Verbesserung der Durchlasseigenschaften unter Berücksichtigung der notwendigen Abschaltspannung U_{off} und des notwendigen maximalen Stroms I_{max} eingesetzt werden.

Bei der Untersuchung von 3D-Strukturen ergaben sich sowohl eine Verbesserung der Durchlasseigenschaften des Bauelementes als auch eine deutliche Vereinfachung des technologischen Aufwandes bei der Herstellung solcher Strukturen.
Das Bauelement kann als Schutzelement im Spannungsbereich bis 100V eingesetzt werden.
Zur Anwendung des Bauelementes in höheren Spannungsbereichen ist jedoch eine weitere Verbesserung der Durchlasseigenschaften notwendig.
Insbesondere eine Verbesserung der Kanaleigenschaften des p-Kanal-JFET und eine Reduzierung des Spannungsanteiles des hochohmigen n^--Substrates können zur Verbesserung der Durchlassspannung des gesamten Bauelementes deutlich beitragen.

4.2 Dualer Thyristor mit vertikalem p-Kanal-JFET (Static Induction Transistor) und vertikalem n-Kanal-JFET (mit lateralem n-Kanal)

In Kapitel 4.1 zeigten wir, dass eine Verbesserung der Durchlasseigenschaften des Dualen Thyristors durch eine Verbesserung der Kanaleigenschaften von einzelnen Teiltransistoren erreicht wird. Diese Verbesserung kann durch Erhöhung des Aspektverhältnisses von Kanalbreite zu Kanallänge erzielt werden. Die notwendige Größe der Pinch-Off-Spannung muss gleichzeitig bei einer solchen Änderung des Aspektverhältnisses berücksichtigt werden.
Außerdem, wie es bei der Untersuchung von dreidimensionalen lateralen Strukturen festgestellt wurde, führt eine dreiseitige Ansteuerung des Kanals zur starken Reduktion des Kanalwiderstandes, weil die maximale Kanalladung bei dreiseitiger Ansteuerung deutlich höher liegen kann.
Diese Überlegungen führen zu der Idee, vertikale Sperrschichtfeldeffekttransistoren in die Struktur des Dualen Thyristors einzusetzen.

4.2.1 Static Induction Transistor (SIT) - Aufbau und Funktionsprinzip

Bild 4.24 zeigt eine Struktur mit vertikalem n-Kanal-JFET. Zwischen beiden an der Oberfläche liegenden p^+-Gate-Gebieten befindet sich der vertikale n-Kanal mit einem großen Aspektverhältnis von Kanalbreite zu Kanallänge. Das n^+-Source-Gebiet liegt an der Strukturoberfläche zwischen den beiden p^+- Gate-Gebieten.
Die Drain-Elektrode kontaktiert die n^--Zone von der Rückseite des Chips mittels der hoch dotierten n-Schicht und Metallisierung. Der Laststrom fließt senkrecht durch den Chip.

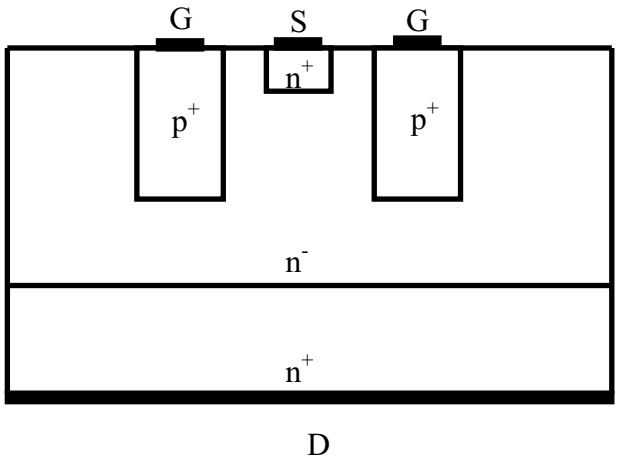


Bild 4.24: Schnitt eines vertikalen n-Kanal-SIT mit Surface-Gate

Diese von J. Nishizawa 1975 entwickelte Struktur gehört nach ihrem Funktionsprinzip und ihrem Strom-Spannungs-Verhalten zu einer Reihe von Static Induction Transistoren (SIT) [38, 39].
Für die Integration einer solchen SIT-Struktur als p-Kanal-Teiltransistor in der Dualen Thyristor-Struktur ist es notwendig, dass auch die Drain-Elektrode an der Oberfläche des Chips liegt. Bild 4.25 zeigt eine integrationsfähige planare Ausführungsvariante des p-Kanal-SIT.
Der vertikale p-Kanal liegt in der in die n^- -Zone eingebetteten p-Wanne zwischen zwei n^+-Gate-Gebieten. Weiter rechts in der p-Wanne befindet sich ein hoch dotiertes p-Gebiet, das mittels Metallisierung die Drain-Elektrode kontaktiert. Dieses p^+-Gebiet bildet zusammen mit

einer in der p-Wanne unter dem p-Kanal vergrabenen hoch dotierten p-Schicht ein Drain-Zuleitungssystem, das zur Reduzierung des Drain-Zuleitungswiderstandes dient.
Da die p-Wanne in den an das n^+-Gate grenzenden Gebieten die Raumladungszone aufnimmt, muss wegen der notwendigen Durchbruchsspannung der Abstand zwischen den n^+-Gate-Gebieten und der vergrabenen p^+-Schicht sowie der Abstand zwischen den n^+-Gate-Gebieten und dem p^+-Drain-Gebiet eingehalten werden. Diese Tatsache hat eine Erhöhung des Drain-Zuleitungwiderstandes zur Folge, dessen Wirkung auf die Strom-Spannungs-Charakteristik des p-Kanal-Transistors berücksichtigt werden muss.
Es ist auch zu bemerken, dass ein n^+-Gate-Gebiet außerhalb der p-Wanne in der n^--Zone eingebettet ist. Ein solcher Aufbau ermöglicht es dem n^+-Gate des p-Kanal-Transistors, bei der Integration in der Dualen Thyristor-Struktur das Potenzial von der Anodenseite abzufangen. Dieses n^+-Gate-Gebiet kann deswegen auch die Funktion einer Spannungssonde erfüllen.

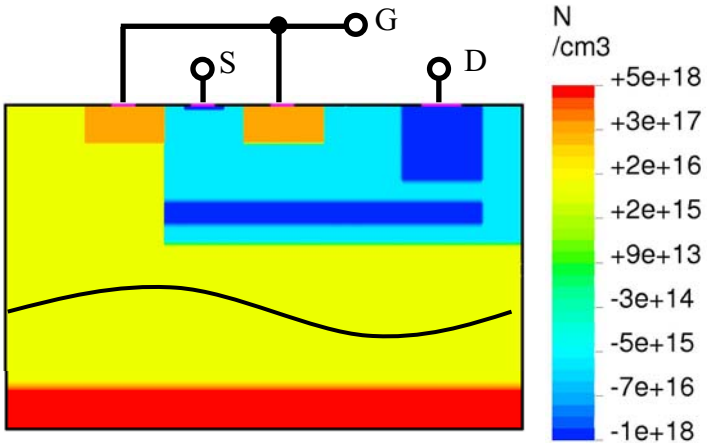


Bild 4.25: Struktur eines planaren p-Kanal-SIT mit vergrabener p^+- Schicht zur Minderung des Drain-Zuleitungswiderstandes

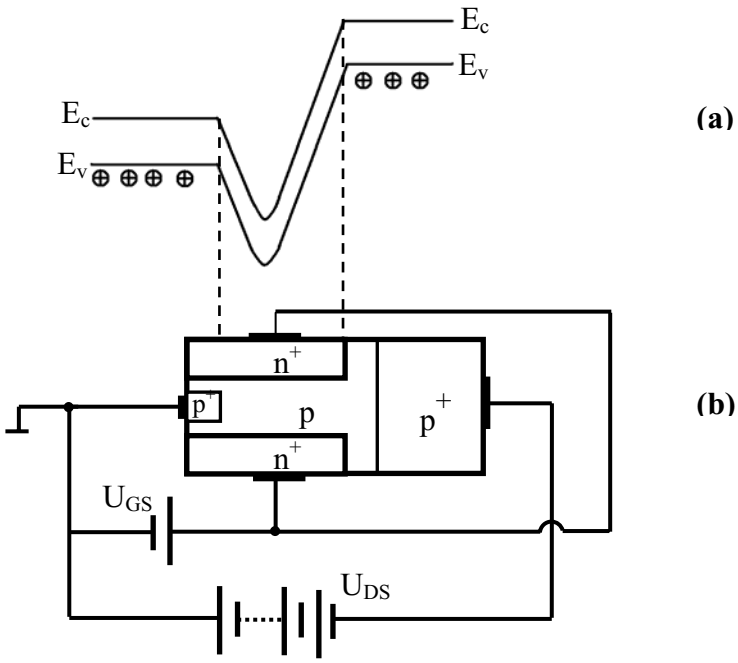


Bild 4.26: (a) Skizziertes Energiebanddiagramm eines vertikalen p-Kanal-SIT, Schnitt entlang des p-Kanals, in der Mitte des p-Kanals
(b) Funktionsprinzip des p-Kanal-SIT

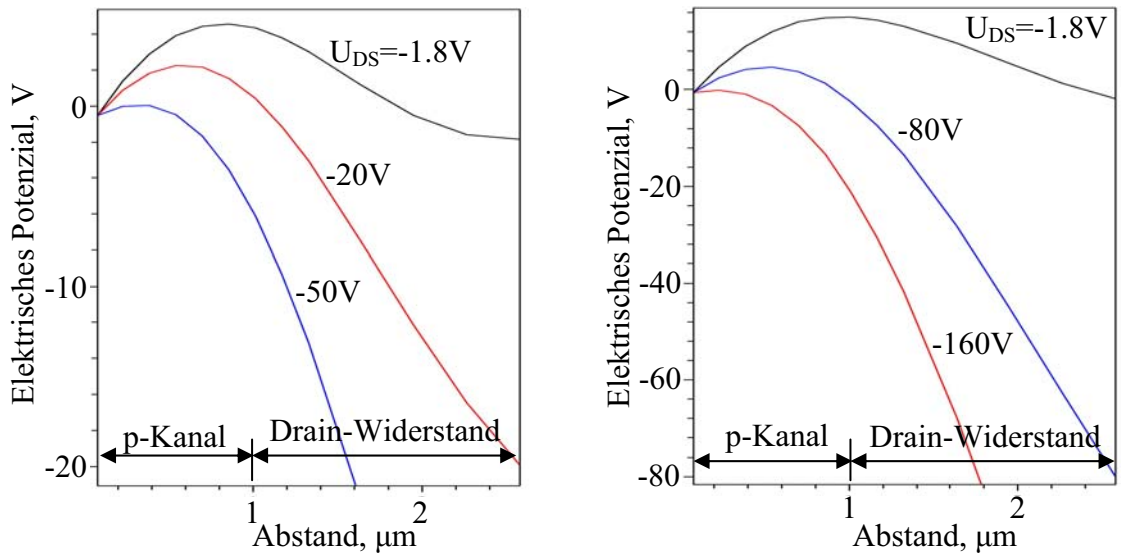


Bild 4.27: Simulierter elektrischer Potenzialverlauf des p-Kanal-SIT mit Aspektverhältnis $\eta = 2$ bei (a) U_{GS}=20V und (b) U_{GS}=40V Schnitt entlang des p-Kanals, in der Mitte des p-Kanals

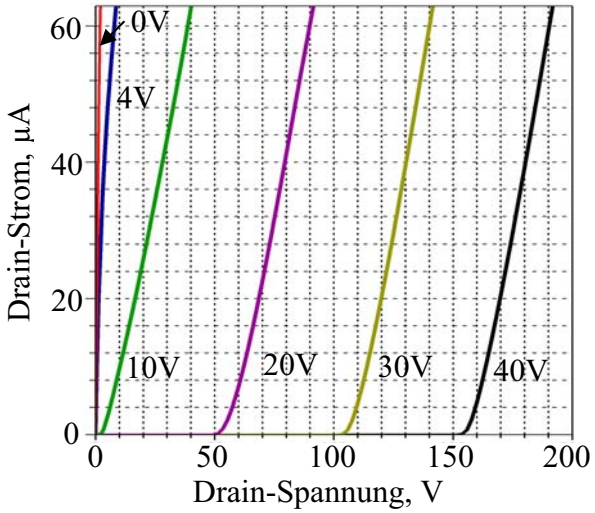


Bild 4.28: Simuliertes Ausgangskennlinienfeld eines planaren p-Kanal-SIT bei 300K, Aspektverhältnis $\eta = 2$

Die Bilder 4.26, 4.27 und 4.28 erklären das Funktions- und Arbeitsprinzip des SIT. Im Bild 4.26a ist das Energiebanddiagramm des vertikalen p-Kanal-SIT dargestellt.
Das Energiebanddiagramm entspricht einem Schnitt entlang des p-Kanals und in der Mitte des p-Kanals. Durch die zwischen n^+-Gate und p^+-Source angelegte Spannung U_{GS} (s. Bild 4.26b) bildet sich eine Potenzialbarriere entlang des p-Kanals. Diese Potenzialbarriere verhindert den Löchertransport von Source zu Drain. In diesem Fall fließt trotz der zwischen Drain und Source angelegten Spannung U_{DS} kein Strom I_{DS}. Eine Erhöhung des Drain-Potenzials U_{DS} führt zur Verringerung dieser Potenzialbarriere bis auf die minimale Höhe, die einen Löcherstrom I_{DS} zulässt. Bild 4.27 zeigt einen solchen Potenzialbarrierenabbau durch die Anhebung des Drain-Potenzials für die oben beschriebene planare p-Kanal-SIT-Struktur (s. Bild 4.25).
Das dem Transistor entsprechende Ausgangskennlinienfeld wird in Bild 4.28 dargestellt.

Wie das Bild 4.27a zeigt, hat die Potenzialbarrierenhöhe bei einer angelegten Gate-Source-Spannung von 20V und einer angelegten Drain-Source-Spannung von –1,8V einen Wert von 4,9V. Der Transistor bleibt im gesperrten Zustand (s. Bild 4.28, Strom-Spannungs-Kennlinie bei U_{GS}=20V). Wenn bei gleicher Gate-Source-Spannung die Drain-Source-Spannung auf -50V erhöht wird, reduziert sich die Potenzialbarriere bis auf 300mV, und der Transistor geht in den gut leitenden Zustand über.
Je höher die Gate-Source-Spannung U_{GS} ist, desto höher ist die gebildete Potenzialbarriere. Deswegen ist eine höhere Drain-Potenzialanhebung notwendig, um den p-Kanal-SIT in den leitenden Zustand zu bringen. Wird beispielsweise eine Gate-Source-Spannung von 40V angelegt, so beträgt die Barrierenhöhe 15,4V bei angelegter Drain-Source-Spannung von –1,8V (s. Bild 4.27b). In diesem Fall benötigt man schon eine Drain-Potenzialerhöhung auf -160V, um die Barriere bis 300mV abzubauen und den p-Kanal-SIT in den gut leitenden Zustand zu bringen (s. Bild 4.28, Strom-Spannungs-Kennlinie bei U_{GS}=40V).

Wie man im Bild 4.28 sieht, kann das Ausgangskennlinienfeld des p-Kanal-SIT in zwei Bereiche unterteilt werden. Vom Erreichen einer bestimmten Gate-Source-Spannung U_{th} verhält sich der Transistor als spannungsgesteuerter Widerstand mit sehr guten Durchlasseigenschaften.
Nachdem die Gate-Source-Spannung diese Schwellenspannung U_{th} erreicht hat, kann das Strom-Spannungs-Verhalten des Transistors durch eine spannungsgesteuerte Spannungsquelle mit einer Spannungsverstärkung V_u beschrieben werden:

$$U_{DS}=V_u(U_{GS}-U_{th}) \tag{4.47}$$

In diesem Zusammenhang stellt sich prinzipiell die Frage, ob die Kombination einer solchen spannungsgesteuerten Spannungsquelle mit einem n-Kanal-JFET in der Dualen Thyristor-Schaltung eine Kennlinie mit negativem differenziellen Widerstand ergibt, also ob die Überstrom-Abschaltfunktion des Bauelementes erhalten bleibt. Die Strom-Spannungs-Charakteristik solcher Dualen Thyristor-Kombination mit spannungsgesteuerter Spannungsquelle wird im Kapitel 4.2.5 diskutiert.

4.2.2 Maßnahmen zur Verbesserung der Durchlasseigenschaften des p-Kanal-SIT

Für den Einsatz des p-Kanal-SIT in der Dualen Thyristor-Struktur ist es entscheidend, dass die Durchlasseigenschaften des Transistors im Vergleich zu den Durchlasseigenschaften des lateralen p-Kanal-JFET besser sind. In diesem Zusammenhang ist auch zu klären, welche Maßnahmen zur Verbesserung der Durchlasseigenschaften des p-Kanal-SIT führen.
Wie es schon erwähnt wurde, enthält die in Bild 4.25 dargestellte planare p-Kanal-SIT-Struktur einen erhöhten Drain-Zuleitungswiderstand, weil die Raumladungszone von der p-Wanne aufgenommen wird. Die Wirkung des Zuleitungswiderstandes auf die Durchlasseigenschaften des Transistors muss berücksichtigt werden.
Da die linke n^+-Gate-Zone die Funktion einer Potenzialsonde in Dualer Thyristor-Struktur hat, nimmt das Gate-Potenzial einen Bruchteil der Anodenspannung an. Wenn beispielsweise das Gate-Potenzial einen maximalen Wert von 40V annimmt, ist ein Mindestabstand von ca. 1,5 µm zwischen den n^+-Gate-Zonen und der vergrabenen p^+-Schicht notwendig (bei einer Dotierung der p-Wanne von 10^{16} cm^{-3}), um die notwendige Durchbruchsspannung zu gewährleisten. Bei einer maximalen Gate-Spannung von 20V benötigt man einen Mindestabstand von ca. 1 µm. Das heißt, dass zur Reduzierung der Höhe des Drain-Zuleitungswiderstandes eine Reduktion des n^+-Gate-Potenzials notwendig ist.

Im Kapitelabschnitt 4.2.13 werden unterschiedliche Maßnahmen vorgestellt, die zu einer solchen Reduktion des n^+-Gate-Potenzials führen. Wir zeigen, dass durch solche Maßnahmen das Gate-Potenzial bis auf ca. 20V reduziert werden kann.
Bild 4.29 zeigt die Wirkung des Drain-Zuleitungswiderstandes auf die Durchlass-Charakteristik des p-Kanal-SIT. Man gewinnt bei einer Durchlassstromdichte von 100A/cm^2 ca. 110 mV in der Durchlassspannung im Fall einer Reduktion des Abstandes zwischen dem n^+- Gate und der vergrabenen n^+-Schicht von 1,5 µm auf 0,5 µm.

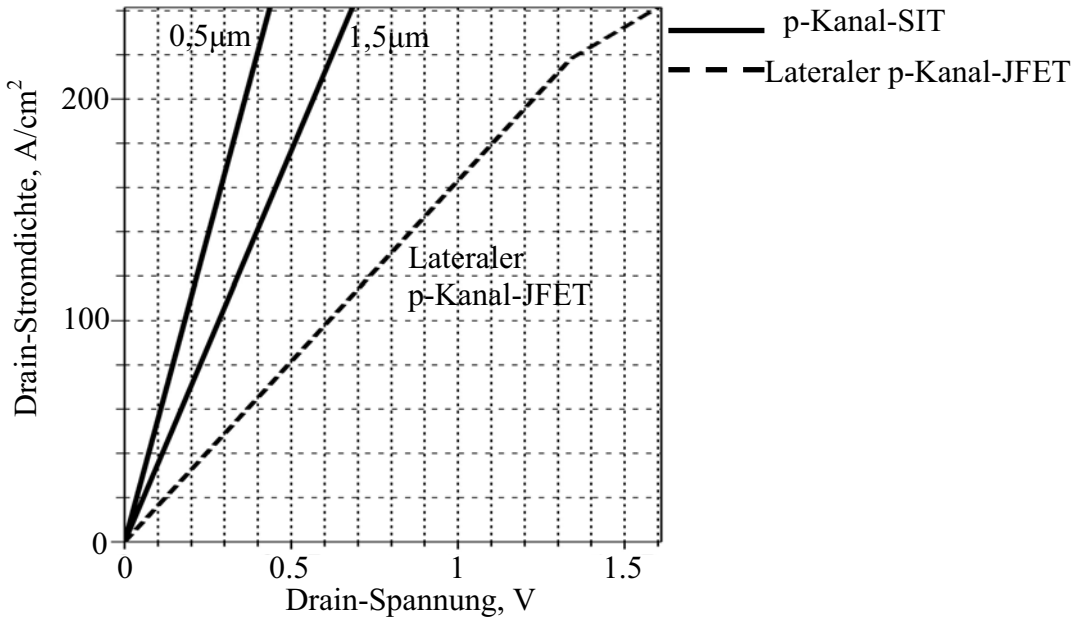


Bild 4.29: Simulierte Strom-Spannungs-Charakteristik des planaren p-Kanal-SIT bei $U_{GS} = 0V$ mit zwei unterschiedlichen Abständen zwischen n^+- Gate und vergrabener n^+ -Schicht (bei einem Aspektverhältnis η=2) im Vergleich zum lateralen p-Kanal-JFET mit gleicher Kanalladung, T=300K

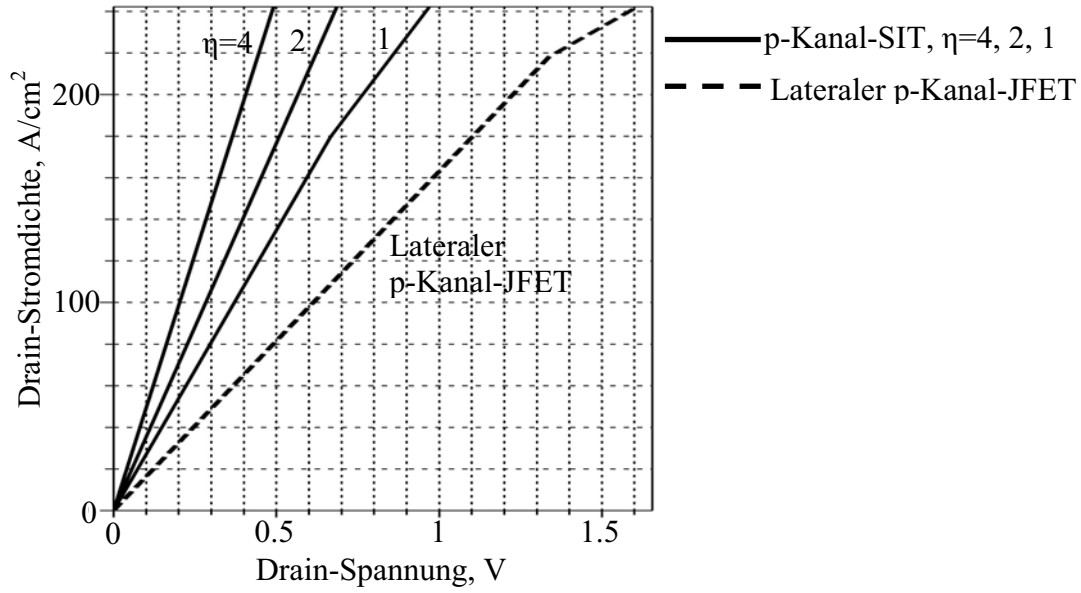


Bild 4.30: Simulierte Strom-Spannungs-Charakteristik des p-Kanal-SIT bei $U_{GS} = 0V$ für drei unterschiedliche Aspektverhältnisse η=4, 2, 1 im Vergleich zum lateralen p-Kanal-JFET mit gleicher Kanalladung, T=300K

Man erzielt allerdings durch den Einsatz der SIT-Struktur trotz der Anwesenheit des Drain-Zuleitungswiderstandes einen eindeutigen Gewinn in den Durchlasseigenschaften im Vergleich zu einer lateralen p-Kanal-Struktur mit gleicher Kanalladung (s. Bilder 4.29 und 4.30).

Eine weitere Möglichkeit, die Durchlasseigenschaften des SIT zu verbessern, ist die Erhöhung des Aspektverhältnisses von Kanalbreite zu Kanallänge η. Im Bild 4.30 sind die Durchlasskennlinien von SIT-Strukturen mit unterschiedlichen Aspektverhältnissen dargestellt. Die Erhöhung des Aspektverhältnisses wird durch Verkürzung der Kanallänge vorgenommen. Wie man aus dem Bild entnehmen kann, gewinnt man bei einer Änderung des Aspektverhältnisses von 1 auf 4 ca. 180mV in der Durchlassspannung bei einer Stromdichte von 100A/cm^2. Es muss aber berücksichtigt werden, dass eine solche Erhöhung des Aspektverhältnisses zur Abnahme der Spannungsverstärkung V_u des p-Kanal-Teiltransistors führt. Wie im nächsten Kapitel gezeigt wird, hat eine solche Spannungsverstärkungsreduktion eine Erhöhung der Abschaltspannung des Dualen Thyristors U_{off} zur Folge.

Zur Verbesserung der Durchlasseigenschaften kann der p-Kanal-Transistor durch mehrere vertikale parallele Kanäle erweitert werden, wie in Bild 4.31 gezeigt wird.

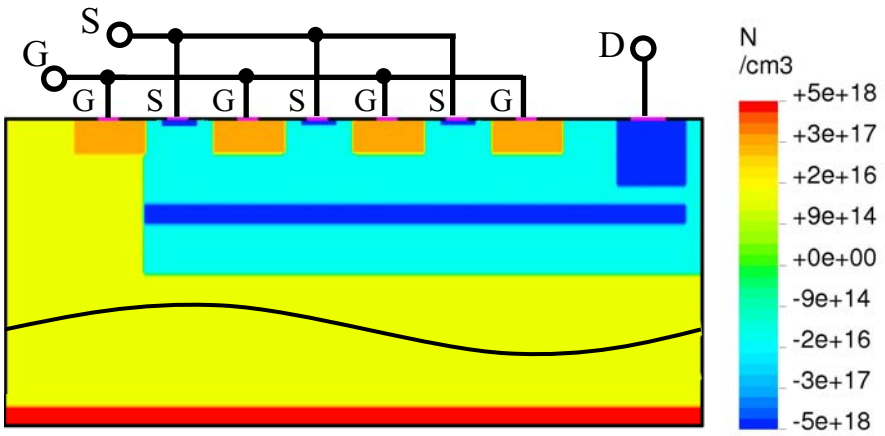


Bild 4.31: SIT-Struktur mit drei parallelen vertikalen p-Kanal-Transistoren

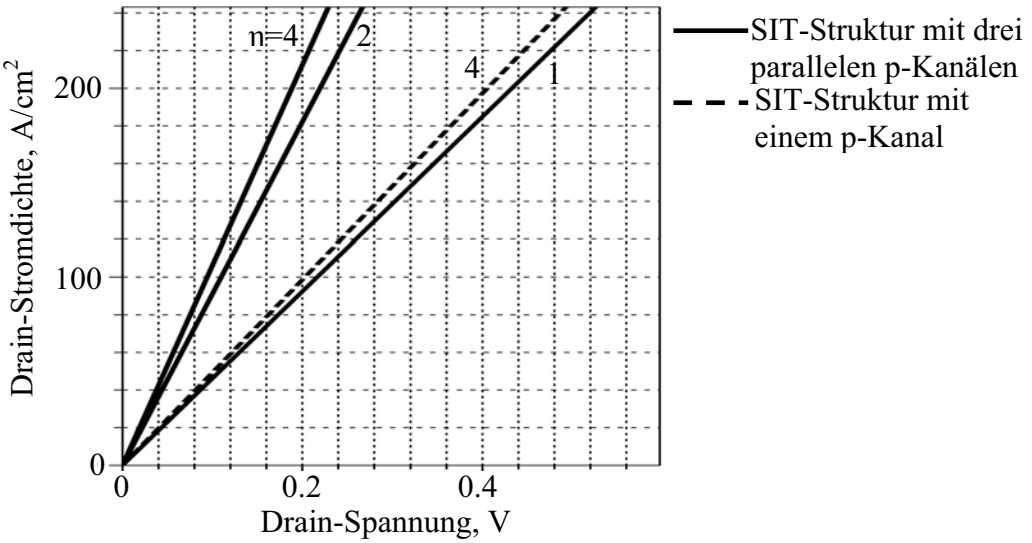


Bild 4.32: Simulierte Strom-Spannungs-Charakteristik einer SIT-Struktur mit drei parallelen p-Kanälen bei U_{GS} = 0V für drei Aspektverhältnisse: η = 4, 2, 1 (erreicht durch Reduktion der Kanallänge L_2) im Vergleich zu aufbaugleicher SIT-Struktur mit einem p-Kanal mit η=4, T= 300K

Die an der Oberfläche liegenden p^+-Source-Gebiete sowie die n^+-Gate-Gebiete der vertikalen p-Kanäle sind mittels Metallisierung entsprechend elektrisch verbunden. Die elektrische Verbindung zwischen den Drain-Gebieten wird über den Bulk der p-Wanne und über die gemeinsame vergrabene p^+-Schicht hergestellt.
Bild 4.32 zeigt die Durchlasscharakteristik solcher SIT-Struktur mit drei parallelen p-Kanälen bei unterschiedlichen Aspektverhältnissen η im Vergleich zu der SIT-Struktur mit einem p-Kanal. Wie das Bild zeigt, gewinnt man durch eine solche parallele Erweiterung des Transistors beispielsweise bei der Struktur mit dem Aspektverhältnis η von 4 ca. 110 mV in der Durchlassspannung bei einer Strom-Dichte von 100 A/cm^2.
Es ist zu beachten, dass durch eine weitere Erhöhung des Aspektverhältnisses η in der SIT-Struktur mit drei parallelen p-Kanälen keine deutliche Verbesserung der Durchlasseigenschaften erzielt werden kann. Man gewinnt beispielsweise bei der Änderung des Aspektverhältnisses von 1 auf 2 eine Reduktion der Durchlassspannung um ca. 110 mV bei einer Durchlassstromdichte von 100 A/cm^2. Eine weitere Erhöhung des Aspektverhältnisses von 2 auf 4 bringt bei gleicher Stromdichte eine Reduktion der Durchlassspannung um nur ca. 17 mV.
Die Erklärung für dieses Verhalten findet man, wenn man berücksichtigt, dass der Drain-Zuleitungswiderstand in der planaren SIT-Struktur mit großem Aspektverhältnis η einen sehr großen Anteil im gesamten Durchlasswiderstand hat. Deswegen beeinflusst die Änderung des Kanalwiderstandes bei einem großen Aspektverhältnis η sehr schwach den gesamten Durchlasswiderstand der Struktur.

4.2.3 Duale Thyristor-Struktur mit planarem p-Kanal- SIT (mit vertikalem p-Kanal) und vertikalem n-Kanal-JFET (mit lateralem n-Kanal)

Bei Integration eines planaren p-Kanal-SIT mit dem in Kapitel 4.1.1 beschriebenen n-Kanal-Hochvolt-Sperrschichtfeldeffekttransistor werden die p-Wannen der beiden Transistoren mittels eines gemeinsamen hoch dotierten p-Gebietes und mittels Metallisierung an die Kathodenelektrode angeschlossen. Ein Schnitt solcher Dualen Thyristor-Zelle ist im Bild 4.33 dargestellt.

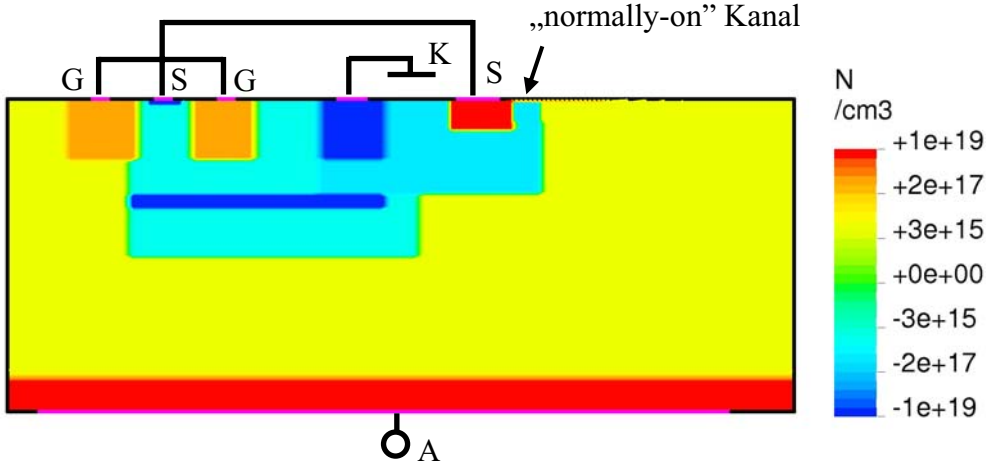


Bild 4.33: 60V-Struktur mit planarem p-Kanal-SIT und vertikalem n-Kanal-JFET (mit lateralem n-Kanal)

Die p^+-Source-Zone des p-Kanal-Transistors wird mit Hilfe von Metallisierung mit der n^+-Source des n-Kanal-Transistors verbunden. Das linke, in die n^--Zone eingebettete n^+-Gate-Gebiet des p-Kanal-Transistors erfüllt die Funktion einer Potenzialsonde. Sein Potenzial beträgt dementsprechend nur einen Bruchteil der Anodenspannung. Gleichzeitig wird mittels dieses n^+-Gate-Gebietes die elektrische Verbindung zum Drain des n-Kanal-Transistors her-

gestellt. Die Anodenelektrode kontaktiert auf der Rückseite des Chips mittels der hoch dotierten n-Schicht und Metallisierung zur n^--Zone. Der Laststrom fließt senkrecht durch den Chip. Eine solche Duale Thyristor-Struktur kann beispielsweise auf einem hoch dotierten n-leitenden Wafer mittels zwei Epitaxien, Implantation und Diffusion hergestellt werden.
Die gesamte Duale Thyristor-Struktur entsteht durch Integration von mehreren solchen parallel geschalteten Mikrozellen.

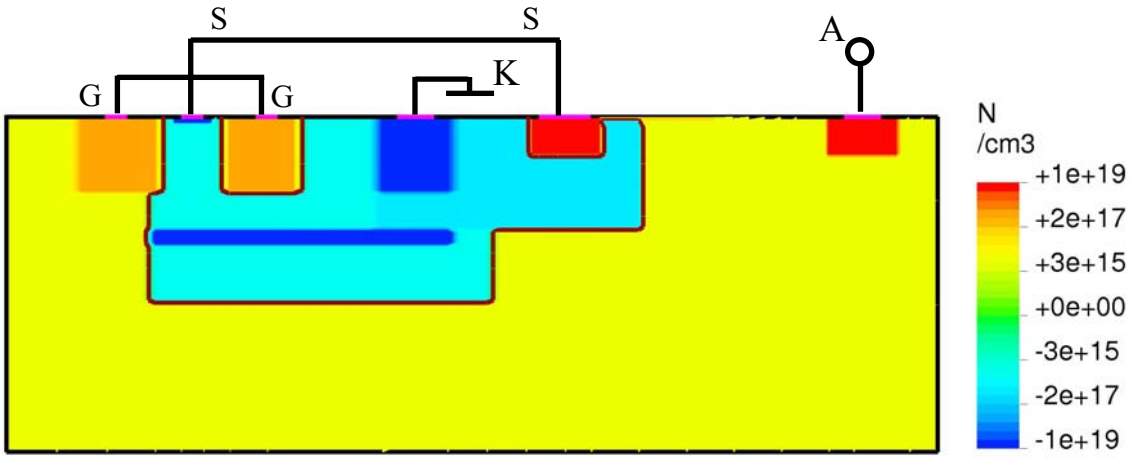


Bild 4.34: 60V-Struktur mit planarem p-Kanal-SIT und vertikalem n-Kanal-JFET (mit lateralem n-Kanal) mit einem planaren Anodenanschluss

Ähnlich wie bei der planaren Dualen Thyristor-Struktur mit zwei lateralen JFETs kann auch bei dieser Ausführungsvariante die Anodenelektrode mittels eines in der n^- -Zone eingebetteten n^+-Gebietes planar an der Oberfläche des Chips integriert werden. Ein Schnitt solcher Struktur ist im Bild 4.34 dargestellt. Ein relativ hoher Flächenverlust ist in diesem Fall zu berücksichtigen.

Zur Verbesserung der Durchlasseigenschaften kann der p-Kanal-Transistor durch mehrere vertikale parallele Kanäle erweitert werden, wie im Bild 4.35 gezeigt wird. Die Anzahl solcher parallelen p-Kanal-Transistoren ist aufgrund des entstehenden Flächenverlustes begrenzt.

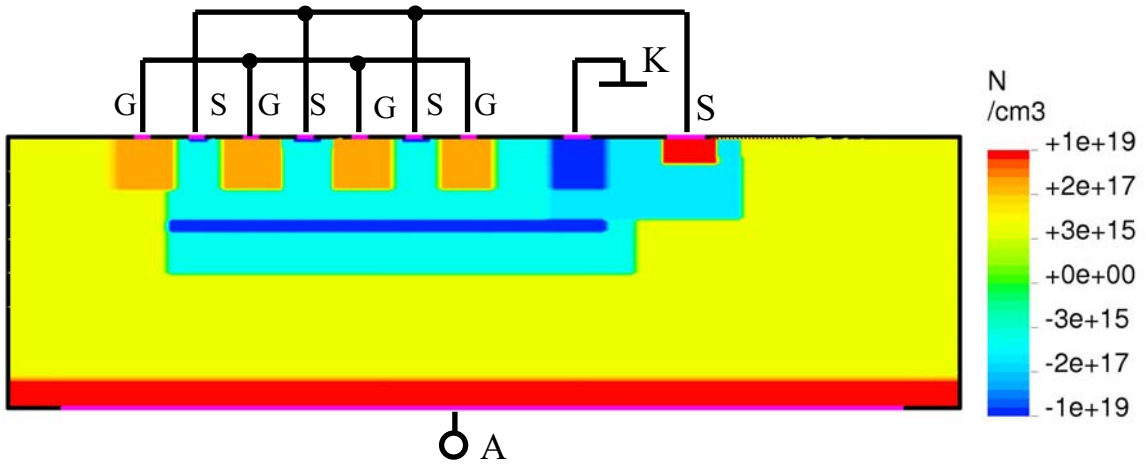
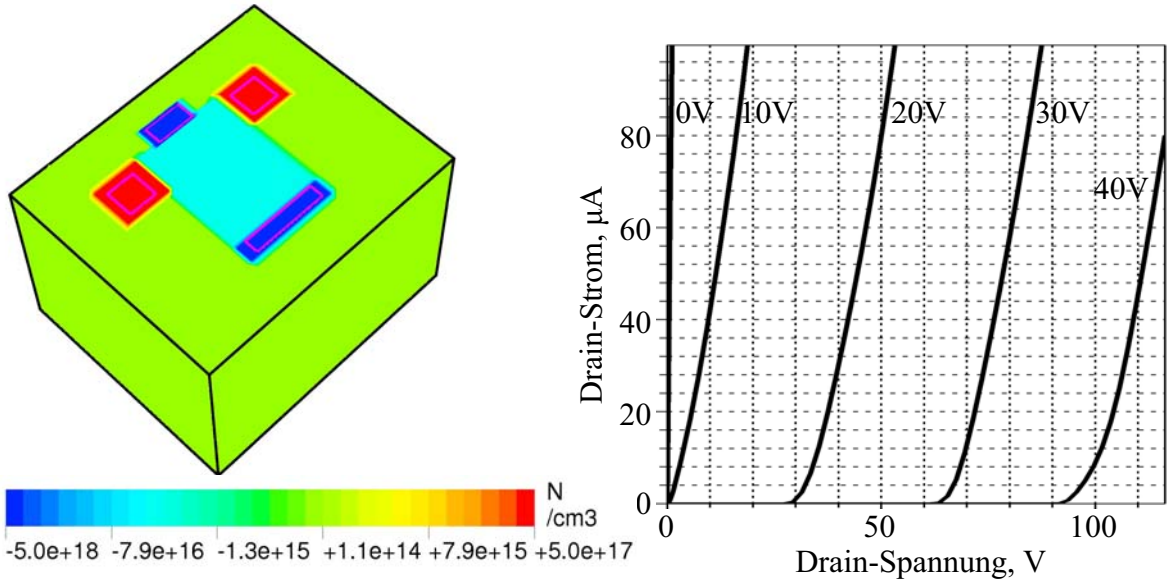


Bild 4.35: 60V-Struktur mit drei parallelen vertikalen p-Kanal-SITs und vertikalem n-Kanal-JFET (mit lateralem n-Kanal)

4.2.4 Duale Thyristor-Struktur mit lateralem p-Kanal-SIT und vertikalem n-Kanal-JFET (mit lateralem n-Kanal)

Eine Duale Thyristor-Struktur mit planarem p-Kanal-SIT enthält eine vergrabene p^+-Schicht, die zur Verringerung des Drain-Zuleitungswiderstandes dient (s. Bild 4.33). Technologisch gesehen sind solche vergrabene Schichten aufwändig und deswegen teuer. Außerdem muss bei Verwendung dieser p^+-Schicht die erforderliche Durchbruchsspannung zwischen diesem Gebiet und den nah liegenden n^+-Gate-Gebieten berücksichtigt werden. Das kann zwar durch den Abstand zu den n^+-Gate-Gebieten und durch die Höhe der Dotierung der linken p-Wanne eingestellt werden, bringt aber einen zusätzlichen technologischen Aufwand bei der Herstellung dieser Struktur. Es ist deswegen von Vorteil, eine Struktur zu entwickeln, die ohne solche vergrabenen Schichten vergleichbare Durchlasseigenschaften und Abschaltspannungen erreichen kann.
Bild 4.36a zeigt eine dreidimensionale laterale p-Kanal-Sperrschichtfeldeffekttransistor-Struktur mit einem hohen Aspektverhältnis von Kanalbreite zu Kanallänge. Der p-Kanal-Transistor enthält p^+-Source- und p^+-Drain-Zone. Zwischen diesen Gebieten befindet sich der laterale selbstleitende p-Kanal. Der p-Kanal wird von beiden Seiten durch zwei n-Gate-Gebiete angesteuert.



(a) **(b)**

Bild 4.36: Lateraler p-Kanal-SIT mit Aspektverhältnis η= 2:
a) Struktur
b) Simuliertes Ausgangskennlinienfeld (bei 300K)

Das in Bild 4.36b dargestellte Strom-Spannungs-Ausgangskennlinienfeld zeigt ein SIT-artiges Verhalten dieser Struktur. Ähnlich wie bei einem vertikalen SIT kann das Ausgangskennlinienfeld des lateralen p-Kanal-SIT in zwei Bereiche unterteilt werden. Vom Erreichen einer bestimmten Gate-Source-Spannung U_{th} verhält sich der Transistor als spannungsgesteuerter Widerstand mit sehr guten Durchlasseigenschaften. Nachdem die Gate-Source-Spannung die Schwellenspannung U_{th} erreicht hat, kann das Strom-Spannungs-Verhalten des Transistors als spannungsgesteuerte Spannungsquelle mit einer Spannungsverstärkung V_u mit Gleichung (4.47) beschrieben werden.
Im Bild 4.37 werden die Durchlasskennlinien des lateralen p-Kanal-SIT mit den Durchlasskennlinien des gleichwertigen vertikalen planaren p-Kanal-SIT mit gleicher Chipfläche und

mit gleichem Aspektverhältnis η verglichen. Wie das Bild zeigt, können auch bei einem lateralen SIT sehr gute Durchlasseigenschaften erreicht werden.

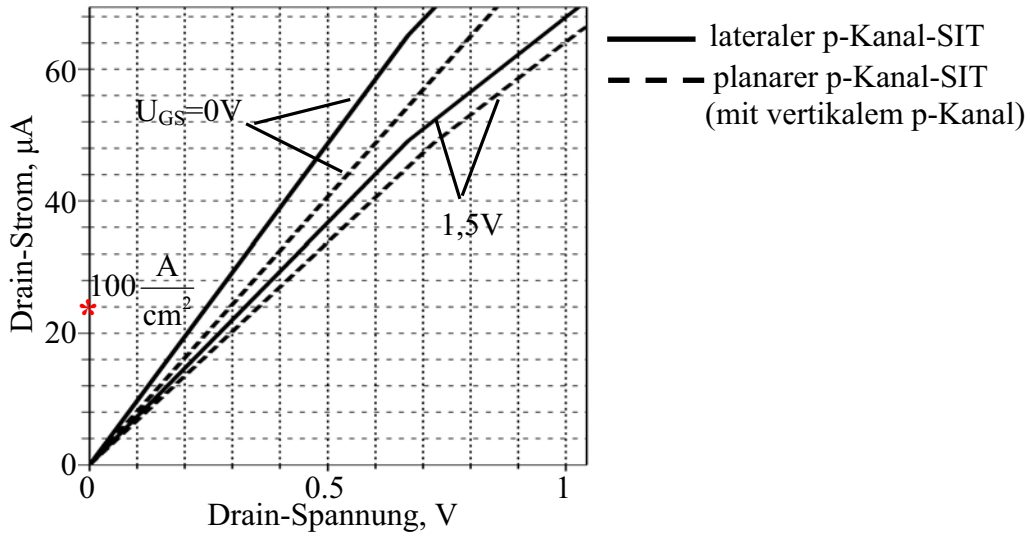


Bild 4.37: Simulierte Durchlasskennlinien des lateralen p-Kanal-SIT und des planaren p-Kanal-SIT mit gleicher Chipfläche und gleichem Aspektverhältnis (η= 2), bei 300K

Der laterale p-Kanal-SIT besitzt einen etwas niedrigeren Durchlasswiderstand als der vertikale planare p-Kanal-SIT, weil sein Drain-Zuleitungswiderstand niedriger ist.
Ein solcher lateraler p-Kanal-SIT kann ähnlich wie der laterale p-Kana-JFET in der Dualen Thyristor-Struktur mit vertikalem n-Kanal-JFET (mit lateralem n-Kanal) integriert werden. Eine dreidimensionale Duale Thyristor-Zelle mit lateralem p-Kanal-SIT ist im Bild 4.38 dargestellt.

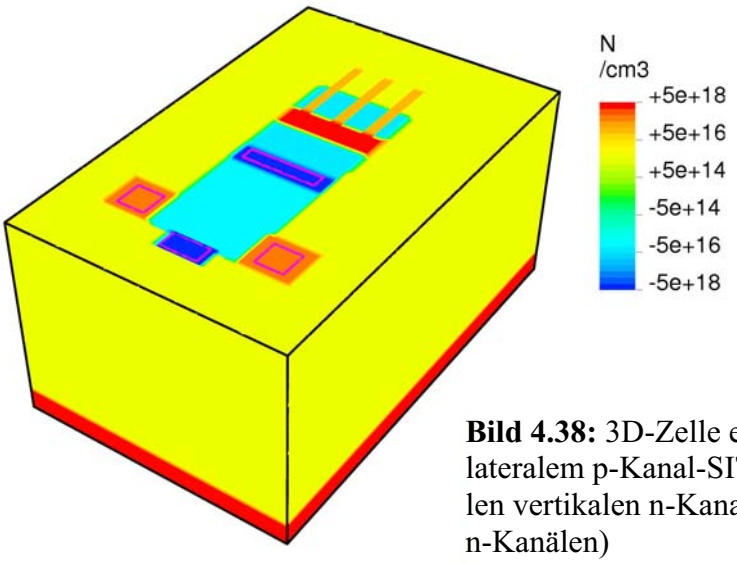


Bild 4.38: 3D-Zelle einer 60V-Struktur mit lateralem p-Kanal-SIT und mit drei parallelen vertikalen n-Kanal-JFETs (mit lateralen n-Kanälen)

4.2.5 Stationäres Modell des Dualen Thyristors mit p-Kanal-SIT

Zur Herleitung der Strom-Spannungs-Kennlinie des Dualen Thyristors mit einem p-Kanal-SIT sind folgende Annahmen erforderlich:

- Das Strom-Spannungs-Verhalten des p- Kanal-SIT wird durch eine ideale spannungsgesteuerte Spannungsquelle mit Spannungsverstärkung V_u beschrieben.
- Der n-Kanal-Transistor ist ein lateraler Langkanal-JFET. Seine Strom-Spannungs-Ausgangskennlinie besteht aus dem Trioden- und Sättigungsbereich (s. Bild 4.7a). Diese beiden Kennlinienbereiche werden mit den Gleichungen (4.10) und (4.11) mit Hilfe von zwei Parametern U_{p1} und I_{p1} beschrieben.

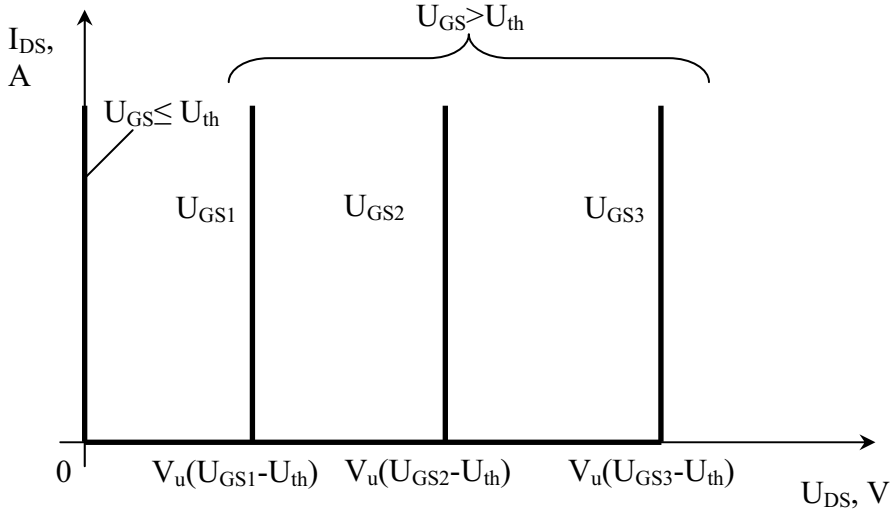


Bild 4.39: Ausgangskennlinienfeld einer idealen spannungsgesteuerten Spannungsquelle

Das Kennlinienfeld der idealen spannungsgesteuerten Spannungsquelle ist schematisch im Bild 4.39 dargestellt. Das Kennlinienfeld besteht aus zwei Bereichen:

1. Wenn die Gate-Spannung U_{GS} kleiner als eine Schwellenspannung U_{th} ist, wird die Ausgangsspannung U_q sehr klein:

$$U_q \approx 0 \text{ bei } U_{GS} \leq U_{th} \tag{4.48}$$

2. Nachdem die Schwellenspannung U_{th} durch die Gate-Spannung U_{GS} erreicht wird, ist die Spannung an den Ausgangsklemmen der Spannungsquelle direkt proportional zur Gate-Spannung mit einer Spannungsverstärkung V_u:

$$U_q = V_u\,(U_{GS}-U_{th}), \text{ bei } U_{GS} > U_{th} \tag{4.49}$$

Das Ersatzschaltbild des Dualen Thyristors als Kombination einer spannungsgesteuerten Spannungsquelle mit einem n-Kanal-JFET ist im Bild 4.40 dargestellt.
Durch die beiden Teilkomponenten fließt der gleiche Strom I_A. Die gesamte Spannung zwischen der Anode und Kathode ist die Summe der Ausgangsspannungen der Teilkomponenten U_q und T1:

$$U_{AK} = U_q + U_{DS1} \tag{4.50}$$

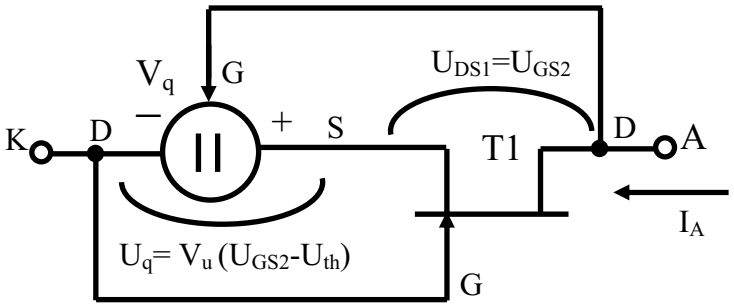


Bild 4.40: Ersatzschaltbild des Dualen Thyristors mit p-Kanal-SIT und n-Kanal-JFET. Der p-Kanal-SIT ist durch spannungsgesteuerte Spannungsquelle ersetzt

Da die Gate-Elektrode der Spannungsquelle elektrisch mit dem Drain des Transistors T1 verbunden ist, kann die Gate-Spannung der Spannungsquelle der Ausgangsspannung des Transistors T1 gleichgesetzt werden:

$$U_{GS2} = U_{DS1} \tag{4.51}$$

Da die kathodenseitige Ausgangsklemme der Spannungsquelle an das Gate des n-Kanal-JFET T1 geschlossen ist, gilt:

$$U_{GS1} = -U_q \tag{4.52}$$

Für die weitere Modellanalyse wird die Annahme einer bestimmten Relation zwischen der Schwellenspannung U_{th} und der Pinch-Off-Spannung des Transistors T1 erforderlich.
In diesem Zusammenhang gibt es zwei Relationsmöglichkeiten:

$$1.\ U_{th} < \left| U_{p1} \right| \quad \text{- Relationsfall 1} \tag{4.53}$$

$$2.\ U_{th} > \left| U_{p1} \right| \quad \text{- Relationsfall 2} \tag{4.54}$$

Im **Relationsfall 1** ($U_{th} < \left| U_{p1} \right|$) unterscheidet man unter Berücksichtigung des Strom-Spannungs-Verhaltens der beiden Teilkomponenten des Dualen Thyristors drei Fälle:

1. Die Gate-Spannung U_{GS2} ist kleiner als die Schwellenspannung U_{th}.
   Der n-Kanal-Transistor befindet sich im Triodenbereich.

2. Die Gate-Spannung U_{GS2} ist größer als die Schwellenspannung U_{th}.
   Der n-Kanal-Transistor befindet sich im Triodenbereich.

3. Die Gate-Spannung U_{GS2} ist größer als die Schwellenspannung U_{th}.
   Der n-Kanal-Transistor befindet sich im Sättigungsbereich.

Fall 1 tritt auf, wenn folgende Bedingung erfüllt ist:

$$U_{AK} \leq U_{th} \quad \text{– Bereich 1} \tag{4.55}$$

In diesem Fall liegt laut Gleichungen (4.48) und (4.50) fast die volle gesamte Spannung an dem Teiltransistor T1:

$$U_{DS1} \approx U_{AK} \tag{4.56}$$

Der Transistor T1 befindet sich im Fall 1 immer im Triodenbereich, weil die Pinch-Off-Spannung des Transistors größer als die Schwellenspannung U_{th} ist.
Der Triodenbereich des Transistors T1 wird durch die Gleichung (4.10) beschrieben. Durch Einsatz der Beziehung (4.56) in die Gleichung (4.10) ergibt sich die Kennliniengleichung des Dualen Thyristors im Bereich 1:

$$I_A \approx -\frac{I_{p1}}{U_{p1}^2}\left[2\,U_{p1}\,U_{AK} + U_{AK}^2\right] \tag{4.57}$$

Der Verlauf der Strom-Spannungs-Kennlinie für den dem Fall 1 entsprechenden Spannungsbereich 1 ist im Bild 4.41 dargestellt.

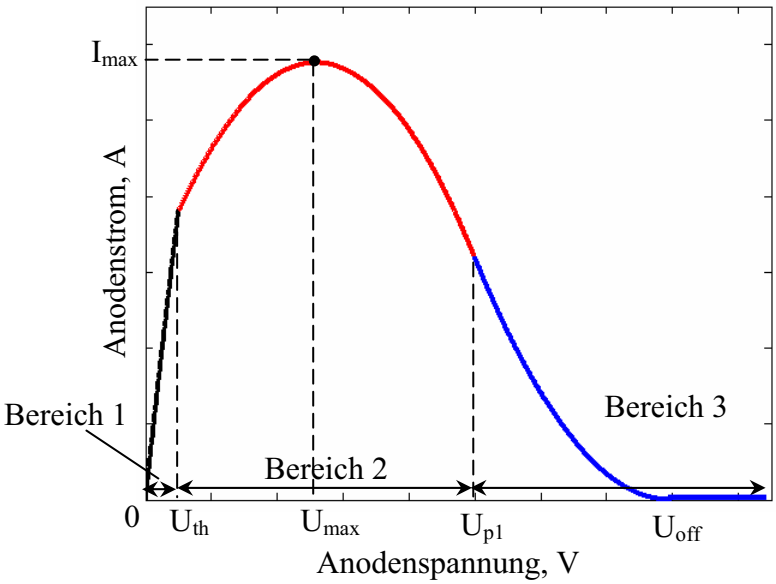


Bild 4.41: Strom-Spannungs-Kennlinie des Dualen Thyristors als Kombination der spannungsgesteuerten Spannungsquelle mit einem n-Kanal-JFET unter Annahme $U_{th} < |U_{p1}|$ (Relationsfall 1)

Im realen Fall befindet sich auch der p-Kanal-SIT im Triodenbereich. Das Verhalten des Dualen Thyristors als Kombination von zwei spannungsgesteuerten Widerständen haben wir in Kapitel 4.1.2 diskutiert. Die Durchlasseigenschaften des Dualen Thyristors werden in diesem Fall durch die Durchlasseigenschaften von einzelnen Teilkomponenten bestimmt.
Es ist auch zu berücksichtigen, dass in diesem Bereich der Durchlasswiderstand des p-Kanal-SIT deutlich kleiner als der Durchlasswiderstand des n-Kanal-Teiltransistors ist. Aus diesem Grund wird bei der Einschätzung der Höhe des Durchlasswiderstandes mit Gleichung (4.57) nur eine kleine Korrektur in Richtung höherer Werte erforderlich.

Der **Fall 2** (die Gate-Spannung U_{GS2} größer als die Schwellenspannung U_{th}, der Transistor T1 im Triodenbereich) erfordert folgende Bedingung:

$$U_{th} < U_{AK} \le |U_{p1}| \quad \text{- Bereich 2} \tag{4.58}$$

In diesem Bereich ist die Ausgangsspannung der spannungsgesteuerten Spannungsquelle direkt proportional zu der Gate-Spannung U_{GS2}:

$$U_q = V_u\,(U_{GS2} - U_{th}) \tag{4.59}$$

Wird diese Beziehung in die Gleichungen (4.50), (4.51), (4.52) eingesetzt, erhält man die Teilspannungen der entsprechenden Teilkomponenten als Funktionen der Anodenspannung U_A:

$$U_{DS1} = \frac{U_{AK} + V_u U_{th}}{1 + V_u} \tag{4.60}$$

$$U_q = \frac{V_u}{1 + V_u}(U_{AK} - U_{th}) \tag{4.61}$$

Setzt man diese Teilspannungen in die Gleichung (4.10) ein, ergibt sich die Funktion $I_A(U_{AK})$ für den Bereich 2:

$$I_A = -\frac{I_{p1}}{U_{p1}^2}\left(\frac{1+2V_u}{(1+V_u)^2}(U_{AK}+V_u U_{th})^2 + \frac{2(U_{p1} - V_u U_{th})}{1+V_u}(U_{AK} + V_u U_{th})\right) \tag{4.62}$$

Diese parabolische Funktion hat ein Maximum $I_{max}(U_{max})$:

$$U_{max} = \frac{1+V_u}{1+2V_u}\left(|U_{p1}| + V_u U_{th}\right) - V_u U_{th} \tag{4.63}$$

$$I_{max} = \frac{I_{p1}}{U_{p1}^2(1+2V_u)}(V_u U_{th} + |U_{p1}|)^2 \tag{4.64}$$

Der Verlauf der Strom-Spannungs-Kennlinie für den dem Fall 2 entsprechenden Spannungsbereich 2 ist im Bild 4.41 dargestellt. Nachdem I_{max} erreicht wird, hat die Kennlinie einen negativen differenziellen Widerstand.

Der **Fall 3** (die Gate-Spannung U_{GS2} größer als die Schwellenspannung U_{th}, der Transistor T1 im Sättigungsbereich) wird unter folgender Bedingung erfüllt:

$$U_{AK} \geq |U_{p1}| \quad \text{- Bereich 3} \tag{4.65}$$

In diesem Bereich werden die Teilspannungen des Dualen Thyristors wie im Bereich 2 mit den Gleichungen (4.60) und (4.61) beschrieben.
Das Strom-Spannungs-Verhalten des Teiltransistors T1 im Sättigungsbereich beschreibt die Gleichung (4.11). Setzt man in dieser Gleichung die Teilspannung U_q ein, erhält man die Kennliniengleichung für den Bereich 3:

$$I_A = \frac{I_{p1}}{U_{p1}^2}\left(\frac{V_u}{1+V_u}(U_{AK} - U_{th}) - |U_{p1}|\right)^2 \tag{4.66}$$

Diese abfallende Funktion wird Null, wenn die Anodenspannung eine bestimmte Abschaltspannung U_{off} erreicht (s. Bild 4.41, Spannungsbereich 3):

$$U_{off} = \frac{1+V_u}{V_u}|U_{p1}| + U_{th} \tag{4.67}$$

Im **Relationsfall 2** ($U_{th} > |U_{p1}|$) unterscheidet man unter Berücksichtigung des Strom-Spannungs-Verhaltens der beiden Teilkomponenten des Dualen Thyristors ebenfalls drei Fälle:

1. Die Gate-Spannung U_{GS2} der Spannungsquelle V_q ist kleiner als die Schwellenspannung $U_{th.}$ Der n-Kanal-Transistor befindet sich im Triodenbereich.

2. Die Gate-Spannung U_{GS2} ist kleiner als die Schwellenspannung U_{th}. Der n-Kanal-Transistor befindet sich im Sättigungsbereich.

3. Die Gate-Spannung U_{GS2} ist größer als die Schwellenspannung U_{th}. Der n-Kanal-Transistor befindet sich im Sättigungsbereichbereich.

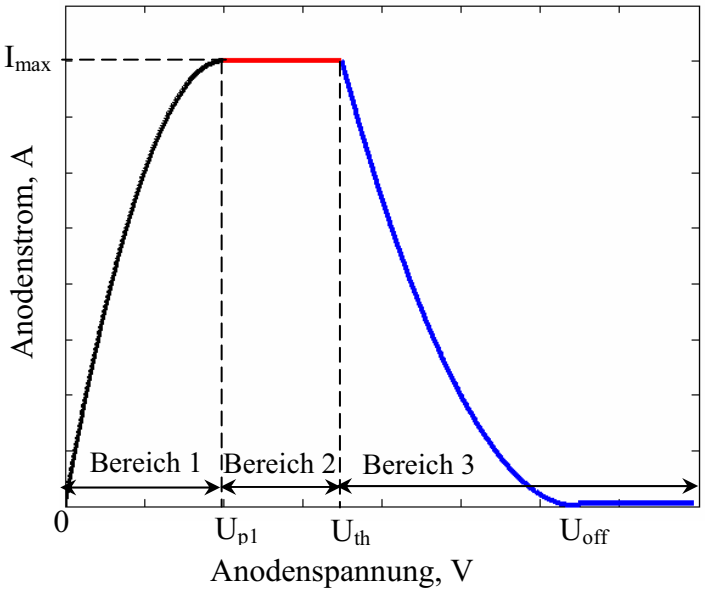


Bild 4.42: Strom-Spannungs-Kennlinie des Dualen Thyristors als Kombination einer spannungsgesteuerten Spannungsquelle mit einem n-Kanal-JFET unter Annahme $U_{th} > |U_{p1}|$

Der **Fall 1** tritt auf, wenn folgende Bedingung erfüllt ist:

$$U_{AK} \leq U_{th} \quad \text{– Bereich 1} \tag{4.68}$$

In diesem Fall liegt gemäß Beziehungen (4.48) und (4.50) fast die volle gesamte Spannung an dem Teiltransistor T1:

$$U_{DS1} \approx U_{AK} \tag{4.69}$$

$$U_{GS1} = -U_q \approx 0 \tag{4.70}$$

Der Triodenbereich des Transistors T1 wird durch die Gleichung (4.10) beschrieben. Durch Einsetzen der Beziehung (4.69) in die Gleichung (4.10) ergibt sich die Kennlinie des Dualen Thyristors im Bereich 1:

$$I_A \approx -\frac{I_{p1}}{U_{p1}^2}\left[2\,U_{p1}\,U_{AK} + U_{AK}^2\right] \tag{4.71}$$

Der Verlauf der Strom-Spannungs-Kennlinie für den dem Fall 1 entsprechenden Spannungsbereich 1 ist im Bild 4.42 dargestellt. Der Anodenstrom I_A erreicht seinen maximalen Wert I_{max}, wenn die Anodenspannung U_{AK} die Höhe der Pinch-Off-Spannung U_{p1} erreicht.

Der **Fall 2** (die Gate-Spannung U_{GS2} kleiner als die Schwellenspannung U_{th}, der Transistor T1 im Sättigungsbereich) erfordert folgende Bedingung:

$$\left| U_{p1} \right| < U_{AK} \leq U_{th} \quad \text{- Bereich 2} \tag{4.72}$$

In diesem Fall liegt laut Gleichungen (4.48) und (4.50) immer noch fast die volle gesamte Spannung an dem Teiltransistor T1:

$$U_{DS1} \approx U_{AK} \tag{4.73}$$

$$U_{GS1} = -U_q \approx 0 \tag{4.74}$$

Das Strom-Spannungs-Verhalten des Teiltransistors T1 im Sättigungsbereich beschreibt die Gleichung (4.11). Setzt man diese Teilspannungen in der Gleichung (4.11) ein, gewinnt man die Funktion I_A (U_{AK}) für den Bereich 2:

$$I_A = I_{p1} \tag{4.75}$$

Der Anodenstrom I_A entspricht in diesem Bereich dem Sättigungsstrom des n-Kanal-Transistors bei einer angelegten Gate-Spannung von 0V (s. Bild 4.42, Bereich 2).

Der **Fall 3** (die Gate-Spannung U_{GS2} größer als die Schwellenspannung U_{th}, der Transistor T1 im Sättigungsbereich) bleibt unter folgender Bedingung erfüllt:

$$U_{AK} \geq \left| U_{th} \right| \quad \text{- Bereich 3} \tag{4.76}$$

In diesem Bereich ist die Ausgangsspannung der spannungsgesteuerten Spannungsquelle direkt proportional zu der Gate-Spannung U_{GS2}:

$$U_q = V_u \, (U_{GS2} - U_{th}) \tag{4.77}$$

Wird diese Beziehung in die Gleichungen (4.50), (4.51), (4.52) eingesetzt, erhält man die Teilspannungen des Dualen Thyristors im Bereich 3 als Funktionen der Anodenspannung U_A:

$$U_{DS1} = \frac{U_{AK} + V_u \, U_{th}}{1 + V_u} \tag{4.78}$$

$$U_q = \frac{V_u}{1 + V_u} (U_{AK} - U_{th}) \tag{4.79}$$

Das Strom-Spannungs-Verhalten des Teiltransistors T1 im Sättigungsbereich beschreibt die Gleichung (4.11). Setzt man in dieser Gleichung die Teilspannung U_q ein, ergibt sich die Kennliniengleichung des Dualen Thyristors für den Bereich 3:

$$I_A = \frac{I_{p1}}{U_{p1}^2}\left(\frac{V_u}{1+V_u}(U_{AK}-U_{th})-|U_{p1}|\right)^2 \tag{4.80}$$

Diese abfallende Funktion wird Null, wenn die Anodenspannung eine bestimmte Abschaltspannung U_{off} erreicht (s. Bild 4.42, Spannungsbereich 3):

$$U_{off} = \frac{1+V_u}{V_u}|U_{p1}| + U_{th} \tag{4.81}$$

Die wichtigsten Ergebnisse der oben durchgeführten Analyse sollen nun zusammengefasst werden:

- Die Strom-Spannungs-Kennlinie des Dualen Thyristors als Kombination einer spannungsgesteuerten Spannungsquelle mit einem n-Kanal-JFET hat ein Maximum und einen Bereich mit negativem differenziellem Widerstand.
- Ab einer bestimmten Anodenspannung U_{off} wird der Anodenstrom Null. Die Überstromabschaltbarkeit des Bauelementes bleibt bei einer solchen Teilkomponenten-Kombination erhalten.
- Die Kennlinie des Dualen Thyristors sowie ihre charakteristischen Punkte $I_{max}(U_{max})$, $I_{on}(U_{on})$ und U_{off} können durch insgesamt vier Parameter beschrieben werden. Diese Parameter (I_{p1}, U_{p1}, V_u, U_{th}) entsprechen den Teilkomponenten T1 und V_q, die den Dualen Thyristor bilden.

4.2.6 Wirkung der Spannungsverstärkung V_u des p-Kanal-Transistors auf die Strom-Spannungs-Kennlinie des Dualen Thyristors

Bild 4.43 zeigt, wie sich die Strom-Spannungs-Kennlinie des Dualen Thyristors mit der Reduktion der Spannungsverstärkung V_u ändert. Die Kennlinien wurden mit den im Kapitel 4.2.5 beschriebenen Modellgleichungen für den Relationsfall 1*($U_{th}<U_{p1}$)* berechnet.
Bei kleinen Werten der Spannungsverstärkung V_u wird die Kennlinie des Dualen Thyristors besonders stark von diesem Parameter beeinflusst.
Eine Verringerung der Spannungsverstärkung V_u hat in diesem Relationsfall zur Folge, dass sich die Abschaltspannung U_{off} und der maximale Stroms I_{max} erhöhen.
Wird die Abschaltspannung U_{off} auf einen maximal zulässigen Wert U'_{off} begrenzt, lässt sich aus der Gleichung (4.67) eine Mindestanforderung für die Spannungsverstärkung V_u ableiten:

$$V_u \geq \frac{|U_{p1}|}{U'_{off} - U_{th} - |U_{p1}|} \tag{4.82}$$

Auch im Relationsfall 2 *($U_{th}>U_{p1}$)* hat, wie aus dem Bild 4.44 zu entnehmen ist, die Spannungsverstärkung V_u bei kleinen Werten eine starke Wirkung auf die Strom-Spannungs-Kennlinie des Dualen Thyristors. Eine Reduktion der Spannungsverstärkung V_u führt, ähnlich wie im Relationsfall 1, zu einer Erhöhung der Abschaltspannung. Der maximale Strom I_{max} wird dabei nicht beeinflusst.

Aufgrund der Wirkung der Spannungsverstärkung V_u auf die Abschaltspannung U_{off} und auf den maximalen Strom I_{max} (im Relationsfall 1) ist es notwendig zu untersuchen, wie die

Spannungsverstärkung V_u von den Konstruktionsparametern des p-Kanal-SIT beeinflusst wird.
Außerdem muss die Temperaturabhängigkeit des Koeffizienten $V_u(T)$ untersucht werden. Eine temperaturstabile Spannungsverstärkung wird auch ein temperaturstabiles Abschalten des Dualen Thyristors bedeuten.

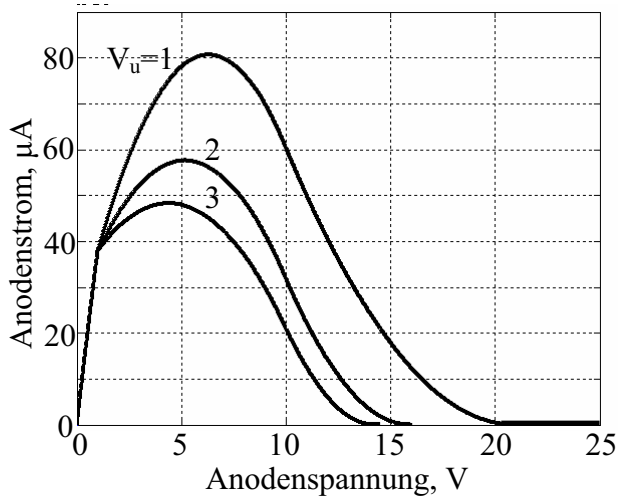


Bild 4.43: Strom-Spannungs-Kennlinie des Dualen Thyristors berechnet mit den Modellgleichungen für den Relationsfall 1 ($U_{th}<U_{p1}$) bei Variation von der Spannungsverstärkung V_u und bei folgenden vorgegebenen weiteren Parametern: $U_{p1} = -10V$, $I_{p1} = 2x10^{-4}$ A, $U_{th} = 1V$

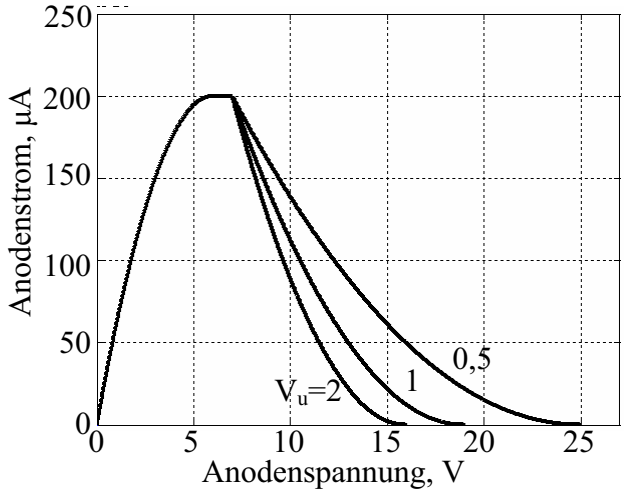


Bild 4.44: Strom-Spannungs-Kennlinie des Dualen Thyristors berechnet mit den Modellgleichungen für Relationsfall 2($U_{th}>U_{p1}$) bei Variation von der Spannungsverstärkung V_u und bei folgenden vorgegebenen weiteren Parametern: $U_{p1} = -6V$, $I_{p1} = 2x10^{-4}$ A, $U_{th} = 7V$

4.2.7 Wirkung der Konstruktionsparameter des p-Kanal-SIT auf die Spannungsverstärkung V_u und auf die Strom-Spannungs-Kennlinie des Dualen Thyristors

Zu den wichtigsten Konstruktionsparametern eines p-Kanal-SIT gehören seine Kanallänge L_2, Kanalbreite a_2 und Kanalladung Q_p. Um den niedrigen Durchlasswiderstand zu erreichen, wird für den p-Kanal-SIT die maximal zulässige Kanalladung Q_{pmax} gewählt. Die Höhe der maximal zulässigen Kanalladung hat für Silizium einen Wert von ca. $1{,}2 \times 10^{12}$ cm^{-2}.

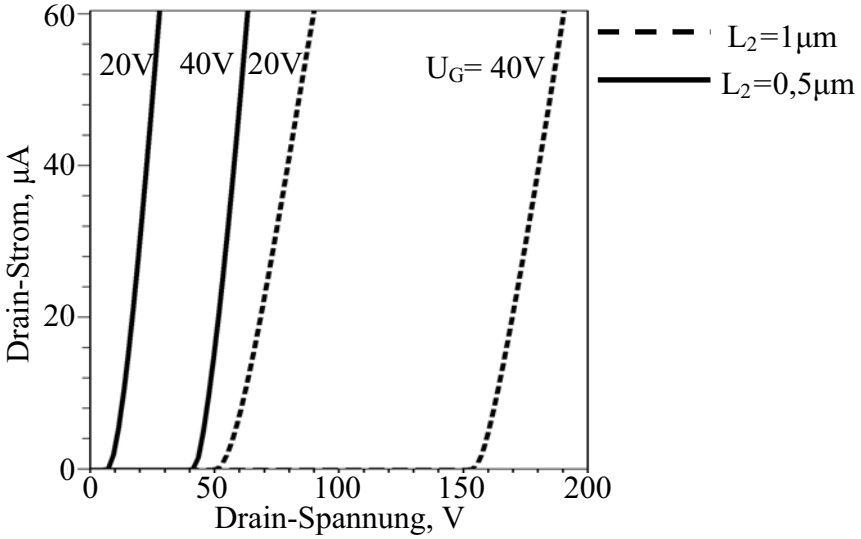
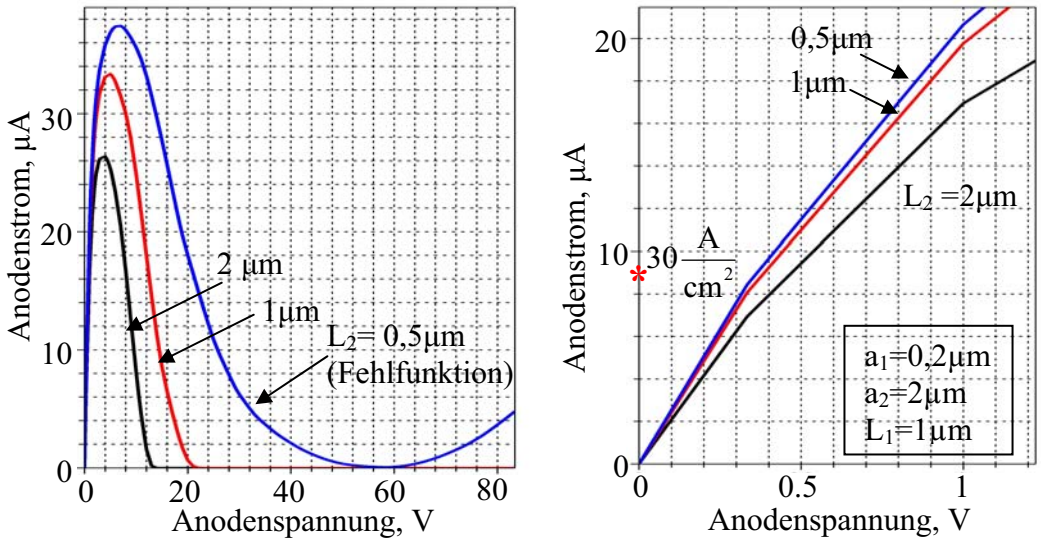


Bild 4.45: Simuliertes Ausgangskennlinienfeld eines planaren p-Kanal-SIT für zwei unterschiedliche Aspektverhältnisse η_2= 2; 4. Die Erhöhung des Aspektverhältnisses wird durch Reduktion der p-Kanallänge L_2 erreicht



(a) Gesamte Kennlinie **(b)** Durchlassbereich

Bild 4.46: Simulierter Kennlinienvergleich einer 60V-Struktur mit drei parallelen vertikalen p-Kanal-SITs bei Variation des Aspektverhältnisses η_2 durch eine Änderung der Kanallänge L_2

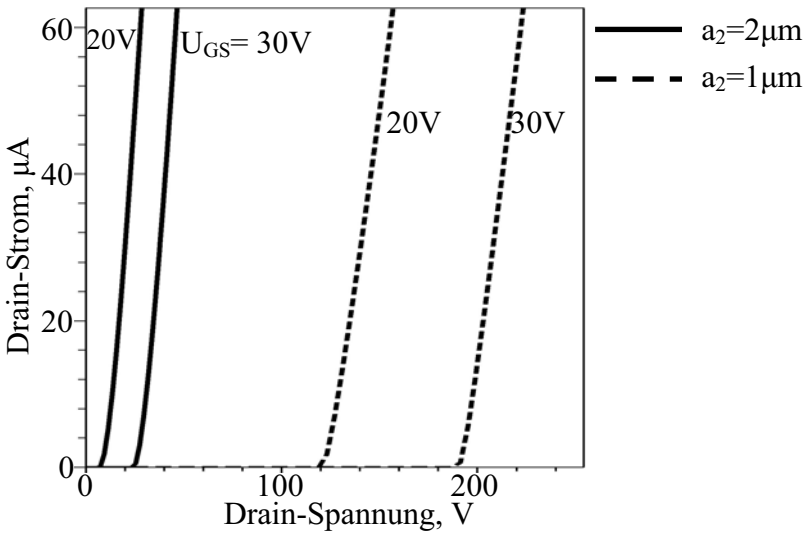
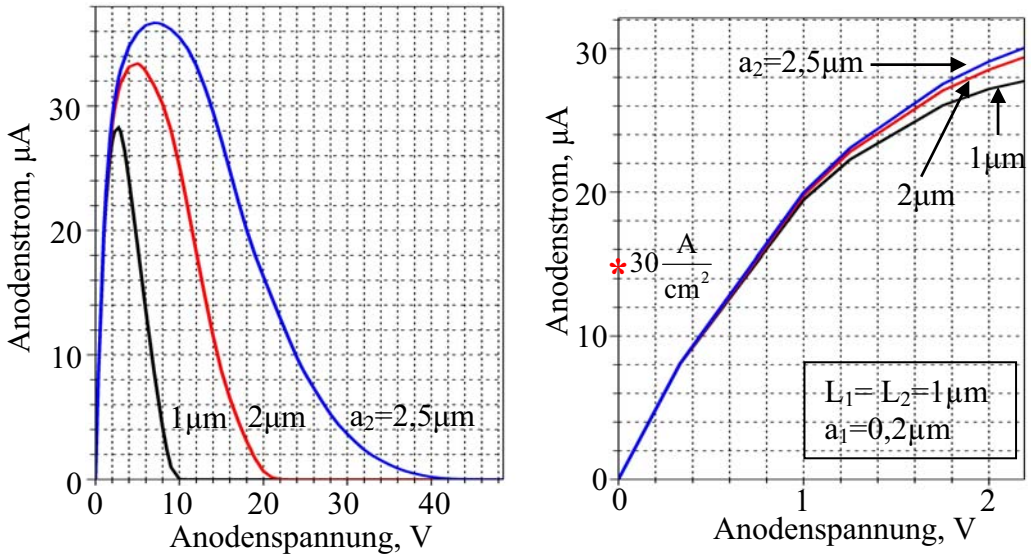


Bild 4.47: Simuliertes Ausgangskennlinienfeld eines planarem p-Kanal-SIT für zwei unterschiedliche Aspektverhältnisse η= 2; 4. Die Erhöhung des Aspektverhältnisses ist durch Reduktion der p-Kanalbreite a_2 erreicht



(a) Gesamte Kennlinie **(b)** Durchlassbereich

Bild 4.48: Simulierter Kennlinienvergleich einer 60V-Struktur mit drei parallelen vertikalen p-Kanal-SITs bei Variation des Aspektverhältnisses η_2 durch Erhöhung der p-Kanalbreite a_2 und bei konstanter Kanalladung Q_{max}

Eine Erhöhung des Aspektverhältnisses η_2 durch eine Verkürzung der Kanallänge L_2 führt zur Abnahme der Spannungsverstärkung. Wie das Bild 4.45 zeigt, wird durch eine Verkürzung der Kanallänge von 1 µm auf 0,5 µm die Spannungsverstärkung ca. 4-fach reduziert (bei einer Gate-Spannung von 40V).
Es ist zu erwarten, dass aufgrund der Reduktion der Spannungsverstärkung V_u eine Erhöhung der Abschaltspannung U_{off} und eine Erhöhung des maximalen Stroms I_{max} stattfindet (s. das Modellverhalten im Kapitelabschnitt 4.2.5). Eine sehr starke Reduktion der Spannungsverstärkung V_u kann den kritischen Fall verursachen, in dem kein Abschalten durch Überstrom mehr möglich ist.

Bild 4.46a zeigt simulierte Strom-Spannungs-Kennlinien für die im Bild 4.35 dargestellten 60V-Struktur mit drei parallelen p-Kanal-SITs bei Variation des Aspektverhältnisses η_2 durch Verkürzung der p-Kanallänge L_2. Ein Vergleich dieser Kennlinien mit den mit den Modellgleichungen berechneten Kennlinien (s. Bild 4.43) weist ein ähnliches Verhalten auf. Bei einer p-Kanal-Länge von 0,5 µm schaltet das Bauelement nicht aus.
Neben der Reduktion der Spannungsverstärkung V_u wird durch eine Erhöhung des Aspektverhältnisses η_2 auch eine Verringerung des Durchlasswiderstandes des p-Kanal-Teiltransistors im Triodenbereich erreicht (s. Bild 4.32). Es ist deswegen auch zu erwarten, dass für die gesamte Struktur des Dualen Thyristors eine Verbesserung der Durchlasseigenschaften durch die Kanalverkürzung zu erreichen ist. Im Bild 4.46b ist ein Kennlinienvergleich im Durchlassbereich bei Variation der Kanallänge L_2 dargestellt. Man gewinnt beispielsweise bei einer Verkürzung der Kanallänge L_2 von 2µm zu 1µm eine Reduktion der Durchlassspannung um ca. 100 mV bei einer Stromdichte von 30 A/cm^2. Eine weitere Verkürzung der Kanallänge L_2 bringt keine wesentliche Verbesserung der Durchlasseigenschaften aufgrund des bestehenden größeren Anteils des Drain-Zuleitungswiderstandes im gesamten p-Kanalwiderstand.

Auch eine Erhöhung des Aspektverhältnisses η_2 durch eine Vergrößerung der Kanalbreite a_2 verursacht eine Abnahme der Spannungsverstärkung V_u. Wie man aus dem Bild 4.47 entnehmen kann, führt eine Vergrößerung der p-Kanalbreite a_2 von 1 µm auf 2 µm zu einer ca. 8-fachen Reduktion der Spannungsverstärkung V_u (bei Gate-Spannug von 30V).
Auch in diesem Fall kann die mit Hilfe der Modellgleichungen berechnete Kennlinien-Änderung durch Simulationsergebnisse belegt werden. Bild 4.48a zeigt das simulierte Kennlinienverhalten für die im Bild 4.35 dargestellte 60V-Struktur bei Variation des Aspektverhältnisses η_2 durch Vergrößerung der p-Kanalbreite a_2. Eine Erhöhung der Abschaltspannung U_{off} und eine Erhöhung des maximalen Stroms I_{max} ist bei der Vergrößerung der Kanalbreite a_2 festzustellen.
Allerdings kann, wie das Bild 4.48b zeigt, keine wesentliche Verbesserung der Durchlasseigenschaften festgestellt werden. Diese Tatsache wird verständlich, wenn man berücksichtigt, dass die Kanalladung Q_p bei der Erhöhung der Kanalbreite a_2 den maximalen Wert Q_{pmax} nicht überschreiten darf. Das erfordert eine niedrigere Dotierung der linken p-Wanne bei der Erhöhung der Kanalbreite a_2 und bei gleichzeitigem Erhalten der Kanalladung auf dem maximalem Wert Q_{pmax}. Eine solche Verringerung der Dotierungshöhe hat zur Folge, dass eine Erhöhung des Drain-Zuleitungswiderstandes des p-Kanal-Teiltransistors stattfindet. Außerdem führt die Erhöhung der Breite des vertikalen p-Kanals zu einem Flächenverlust des gesamten Bauelementes und dadurch zur Verschlechterung der Durchlasseigenschaften.

4.2.8 Wirkung von Parametern des n-Kanal-Teiltransistors auf die Kennlinie des Dualen Thyristors mit p-Kanal-SIT

Die Wirkung der verschiedenen Parameter des n-Kanal-Transistors wurde für den Dualen Thyristor mit zwei Langkanal-JFETs im Kapitel 4.1.3 ausführlich beschrieben. Es ist zu erwarten, dass beim Dualen Thyristor mit p-Kanal-SIT eine ähnliche Parameterwirkung stattfindet. Auch in diesem Fall gilt unter Annahme des maximalen Wertes der Kanalladung Q_{nmax} eine direkte Proportionalität zwischen dem Pinch-Off-Strom I_{p1} und dem Aspektverhältnis η_1 (s. Beziehung (4.38)). Die Pinch-Off-Spannung U_{p1} ist unter dieser Annahme laut Beziehung (4.39) direkt proportional zur Kanalbreite a_1.
Bild 4.49 zeigt, wie sich die Strom-Spannungs-Kennlinie des Dualen Thyristors ändert, wenn die Kanallänge L_1 verkürzt wird. Die Kennlinien wurden mit den oben beschriebenen Modellgleichungen für den Relationsfall 1 *($U_{th}<U_{p1}$)* berechnet. Die Variation des Pinch-Off-

Stroms I_{p1} wird durch Änderung der n-Kanallänge entsprechend der Beziehung (4.38) bei Vorgabe von weiteren Parametern vorgenommen. Es ergibt sich, dass die Reduktion der Kanallänge L_1 neben einer deutlichen Verbesserung der Durchlasseigenschaften des Dualen Thyristors auch zur Erhöhung des maximalen Stromes I_{max} führt. Die Abschaltspannung U_{off} sowie die maximale Spannung U_{max} bleiben dabei unverändert.
Das mit Hilfe der Modellgleichungen berechnete Kennlinienverhalten wird auch durch Simulationsergebnisse bestätigt. Bild 4.50a zeigt die simulierten Strom-Spannungs-Kennlinien der im Bild 4.35 dargestellten 60V-Struktur mit drei parallelen p-Kanal-SITs bei Variation des Aspektverhältnisses η_1 durch Verkürzung der n-Kanallänge L_1. Aufgrund des Kennlinienverlaufs wird das Bauelement dem Relationsfall 1*(U_{th}<U_{p1})* zugeordnet (s. Bild 4.49). Eine umgekehrt proportionale Abhängigkeit des maximalen Stromes I_{max} von der Kanallänge L_1 entsprechend der Gleichung (4.64) wird durch diese Simulationsergebnisse bestätigt. Allerdings wird diese Abhängigkeit bei Kanallängen, die kürzer als ca. 1µm sind, von der Gleichung (4.64) geringfügig abweichen.

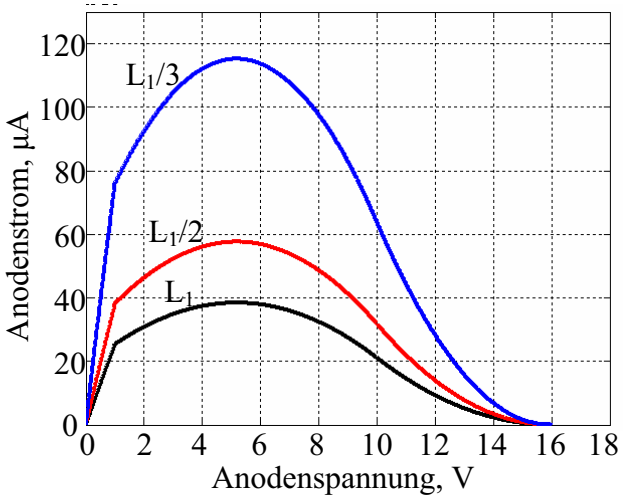
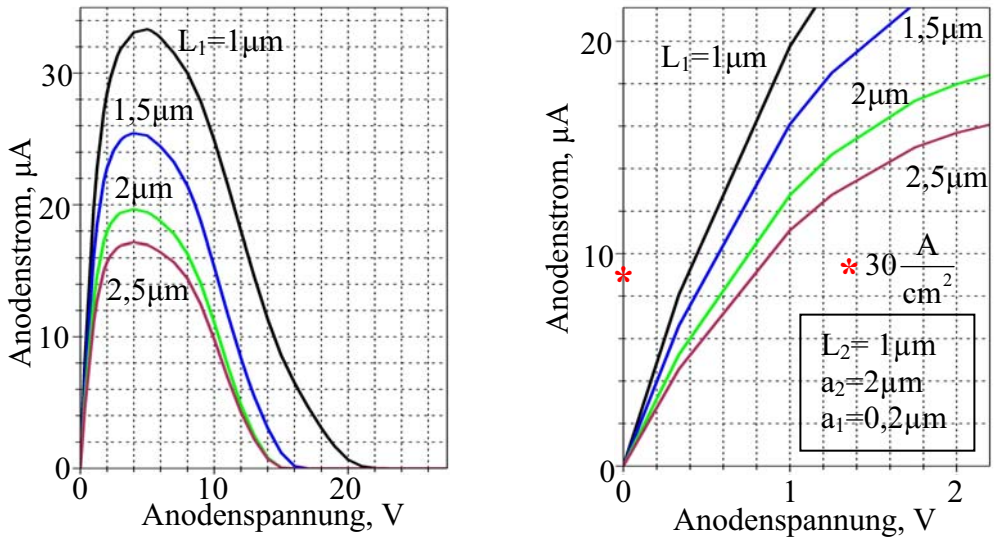


Bild 4.49: Strom-Spannungs-Kennlinie des Dualen Thyristors, berechnet mit den oben beschriebenen Modellgleichungen für den Relationsfall 1 (U_{th}<U_{p1}), bei Variation des Pinch-Off-Stroms I_{p1} durch Änderung der Kanallänge und bei vorgegebenen weiteren Parametern: U_{p1} = -10V, V_u = 2, U_{th} = 1V, I_{p1} (L_1) = 4x10^{-4} A



(a) Gesamte Kennlinie

(b) Durchlassbereich

Bild 4.50: Simulierter Kennlinienvergleich einer 60V-Struktur mit drei parallelen vertikalen p-Kanal-SITs bei Variation der n-Kanallänge L_1

Die Abschaltspannung U_{off} ist, wie das Bild 4.50a zeigt, durch Kanallängenreduktion nur sehr schwach beeinflusst. Nur bei einer Reduktion der Kanallänge bis zu 1µm erhöht sich die Abschaltspannung geringfügig.
Die Reduktion der n-Kanallänge L_1 hat eine Verbesserung der Durchlasseigenschaften des gesamten Bauelementes zum Zweck. Die im Bild 4.50b vorgestellten Simulationsergebnisse zeigen, dass eine n-Kanallängenreduktion beispielsweise von 2,5µm auf 1µm zu einem Gewinn von ca. 400mV in der Durchlassspannung bei einer Stromdichte von 30 A/cm^2 führt.

Im Relationsfall 2 *(U_{th}>U_{p1})* führt die Verkürzung der Kanallänge L_1 zu einem ähnlichen mit Relationsfall 1 *(U_{th}<U_{p1})* Kennlinienverhalten. Die im Bild 4.51 vorgestellten Strom-Spannungs-Kennlinien zeigen, dass die Verkürzung der Kanallänge L_1 neben einer wesentlichen Verringerung des Durchlasswiderstandes zu einer Erhöhung des maximalen Stromes I_{max} führt. Die Abschaltspannung U_{off} wird auch in diesem Fall durch die Kanalverkürzung nicht beeinflusst.

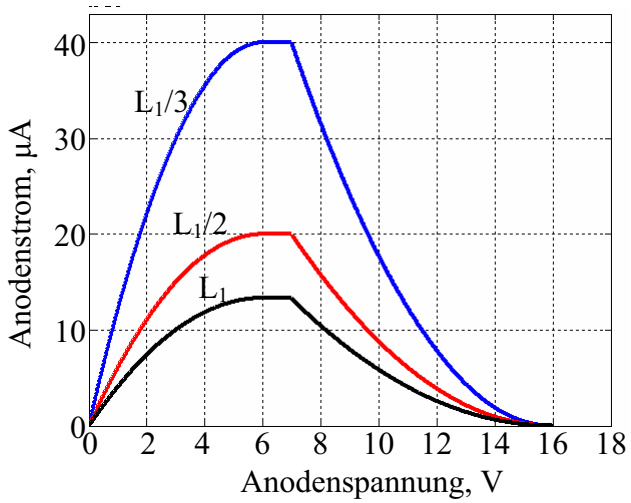
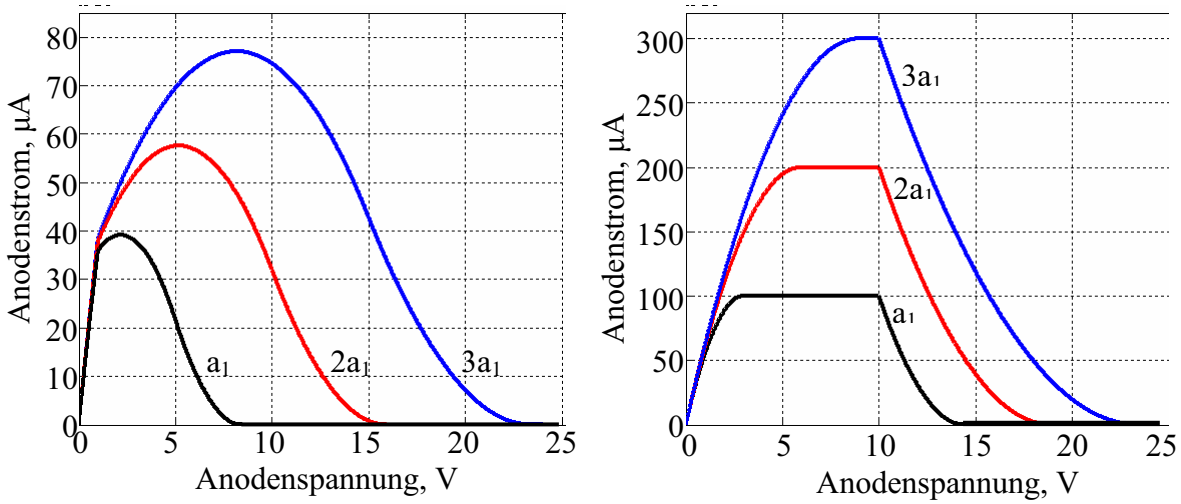


Bild 4.51: Strom-Spannungs-Kennlinie des Dualen Thyristors, berechnet mit den oben beschriebenen Modellgleichungen für den Relationsfall 2 (U_{th}> U_{p1}) bei Variation des Pinch-Off-Stroms I_{p1} durch Änderung der Kanallänge und bei vorgegebenen weiteren Parametern: U_{p1} = -6V, V_u = 2, U_{th} = 7V, I_{p1} (L_1) = 4x10^{-4} A

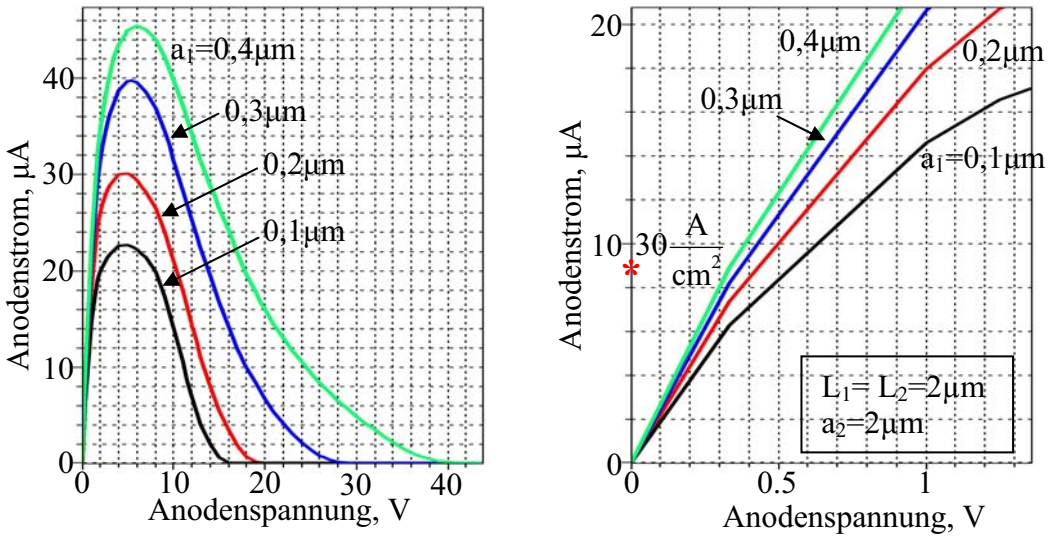
Wenn das Aspektverhältnis durch Vergrößerung der Kanalbreite a_1 erhöht wird, werden laut den Beziehungen (4.38) und (4.39) die beiden Parameter I_{p1} und U_{p1} größer. Die Änderung der Strom-Spannungs-Kennlinien aufgrund der Vergrößerung der Kanalbreite a_1 ist im Bild 4.52 dargestellt. Die Kennlinien wurden mit den oben beschriebenen Modellgleichungen für beide Relationsfälle berechnet. Die Variation von Pinch-Off-Strom I_{p1} und Pinch-Off-Spannung U_{p1} wurde durch Änderung der Kanalbreite a_1 entsprechend den Beziehungen (4.38) und (4.39) bei Vorgabe von weiteren Parametern vorgenommen. Entsprechend den vorgestellten Kennlinien führt die Vergrößerung der Kanalbreite a_1 zur Erhöhung des maximalen Stromes I_{max} und der maximalen Spannung U_{max} (im Relationsfall 1) sowie zur Erhöhung der Abschaltspannung U_{off}.
Ein Vergleich des mit Hilfe des Modells berechneten Kennlinienverhaltens mit den Simulationsergebnissen ergibt eine sehr gute Übereinstimmung zwischen Modell und Simulation. Bild 4.53a zeigt die simulierten Strom-Spannungs-Kennlinien der im Bild 4.35 dargestellten 60V-Struktur bei Variation des Aspektverhältnisses η_1. Das Aspektverhältnis wird durch Änderung der n-Kanalbreite a_1 variiert. Aufgrund des Kennlinienverlaufs wird das Bauelement dem Relationsfall 1 *(U_{th}<U_{p1})* zugeordnet (s. Bild 4.52a).

Eine proportionale Abhängigkeit der Abschaltspannung U_{off} von der Kanalbreite a_1 entsprechend der Gleichung (4.67) kann durch diese Simulationsergebnisse bestätigt werden. Allerdings weicht diese Abhängigkeit bei Kanalbreiten von wenigen als 0,1µm von der direkten Proportionalität ab.
Der maximale Strom I_{max} ist eine steigende Funktion der Kanalbreite a_1 (s. Bild 4.53a).



(a) **(b)**

Bild 4.52: Strom-Spannungs-Kennlinie des Dualen Thyristors berechnet mit den Modellgleichungen bei Variation des Pinch-Off-Stroms I_{p1} und der Pinch-Off-Spannung U_{p1} durch Änderung der n-Kanalbreite a_1 und bei folgenden vorgegebenen weiteren Parametern:
(a) Relationsfall 1: $V_u = 2$, $U_{th} = 1V$, $I_{p1}(a_1) = 10^{-4}$ A, $U_{p1}(a_1) = -5V$
(b) Relationsfall 2: $V_u = 2$, $U_{th} = 10V$, $I_{p1}(a_1) = 10^{-4}$ A, $U_{p1}(a_1) = -3V$



(a) Gesamte Kennlinie **(b)** Durchlassbereich

Bild 4.53: Simulierter Kennlinienvergleich einer 60V-Struktur mit drei parallelen vertikalen p-Kanal-SITs bei Variation der n-Kanalbreite a_1 und bei konstanter n-Kanalladung

Durch die Vergrößerung der n-Kanalbreite a_1 wird der Durchlasswiderstand des gesamten Bauelementes deutlich verbessert. Die im Bild 4.53b vorgestellten simulierten Durchlasskennlinien zeigen, dass eine n-Kanalbreitenerhöhung beispielsweise von 0,1 μm auf 0,4 μm zu einem Gewinn von ca. 200mV in der Durchlassspannung bei einer Stromdichte von 30 A/cm^2 führt.

Wird die Abschaltspannung U_{off} auf einen maximal zulässigen Wert U'_{off} begrenzt, kann unter Berücksichtigung der Beziehungen (4.67) und (4.37) auch die n-Kanalbreite nicht beliebig erhöht werden:

$$a_1 \le \frac{2\varepsilon_s}{qQ_{n\max}} \cdot \frac{V_u}{1+V_u}(U'_{off} - U_{th}) \tag{4.83}$$

Durch eine Erhöhung der Kanalbreite wird der Durchlasswiderstand des gesamten Bauelementes reduziert. Allerdings wird diese Wirkung der Kanalbreite nicht nur allein durch die Erhöhung des Aspektverhältnisses η_1 verursacht, sondern auch durch einen anderen Wirkungsmechanismus. Da die Kanalladung wegen der kritischen elektrischen Feldstärke E_{nc} auf einen maximalen Wert Q_{nmax} begrenzt wird, ist die notwendige Kanaldotierung umgekehrt proportional zur Kanalbreite a_1:

$$N_D = \frac{Q_{n\max}}{a_1} \tag{4.84}$$

Aufgrund der Coulomb-Streuung der Ladungsträger sinkt die Kanalbeweglichkeit mit der Erhöhung der Kanaldotierung. Für Silizium wird die Reduktion der Beweglichkeit ab einer Dotierungshöhe von ca. 10^{16} cm^{-3} besonders stark [40, 41, 42].
Außerdem führt eine Reduktion der Kanaldotierung zu einer besseren Aussteuerung des lateralen n-Kanals durch relativ niedrig dotiertes p-Gate-Gebiet des n-Kanal-Teiltransistors. Die verbesserte Aussteuerung dient seinerseits zur Absenkung der Abschaltspannung U_{off} des Dualen Thyristors.
Eine Optimierung der Kanalbreite ist aus diesen beiden Gründen unter Berücksichtigung der Relation (4.83) notwendig.

4.2.9 Wirkung der Temperatur auf die Strom-Spannungs-Kennlinie des Dualen Thyristors mit p-Kanal-SIT

Im Kapitelabschnitt 4.2.5 zeigten wir, dass die Abschaltspannung U_{off} laut Gleichung (4.67) eine Funktion der Spannungsverstärkung V_u des p-Kanal-SIT und der Pinch-Off-Spannung des n-Kanal-Teiltransistors U_{p1} ist. Auch der maximale Strom I_{max} ist im Relationsfall 1 *($U_{th}<U_{p1}$)* nach Gleichung (4.64) von der Spannungsverstärkung V_u abhängig.
In Zusammenhang mit der Wirkung der Spannungsverstärkung V_u auf die Kennliniengrößen U_{off} und I_{max} ist es notwendig, die Temperaturabhängigkeit des Koeffizienten $V_u(T)$ zu untersuchen.
Aufgrund der Tatsache, dass die Pinch-Off-Spannung U_{p1} laut Gleichung (4.9) durch die Kanalladung Q_n und die Kanalbreite a_1 bestimmt ist und deswegen temperaturunabhängig bleibt, wird eine temperaturstabile Spannungsverstärkung V_u auch ein temperaturstabiles Abschalten des Dualen Thyristors bedeuten.
Bild 4.54 zeigt, wie sich das Ausgangskennlinienfeld eines p-Kanal-SIT in einem Temperaturbereich von 200K bis 400K verändert. Eine sehr schwache Temperaturabhängigkeit der

Spannungsverstärkung V_u ist bei Stromdichten bis zu 400 A/cm^2 festzustellen. Entsprechend diesen Ergebnissen ist es zu erwarten, dass auch die Abschaltfunktion des gesamten Bauelementes von der Temperaturerhöhung schwach beeinflusst wird.
Das simulierte Temperaturverhalten der Strom-Spannungs-Kennlinie des Bauelementes ist im Bild 4.55 dargestellt. Die Simulationsergebnisse zeigen ein temperaturstabiles Abschalten des Bauelementes mit einer temperaturstabilen Abschaltspannung U_{off} (s. Bild 4.55a). Im Zusammenhang mit den Modellgleichungen wird ein solches Abschaltverhalten des Bauelementes verständlich.
Außerdem findet mit der Erhöhung der Temperatur eine Erhöhung des Durchlasswiderstandes statt (s. Bild 4.55b).

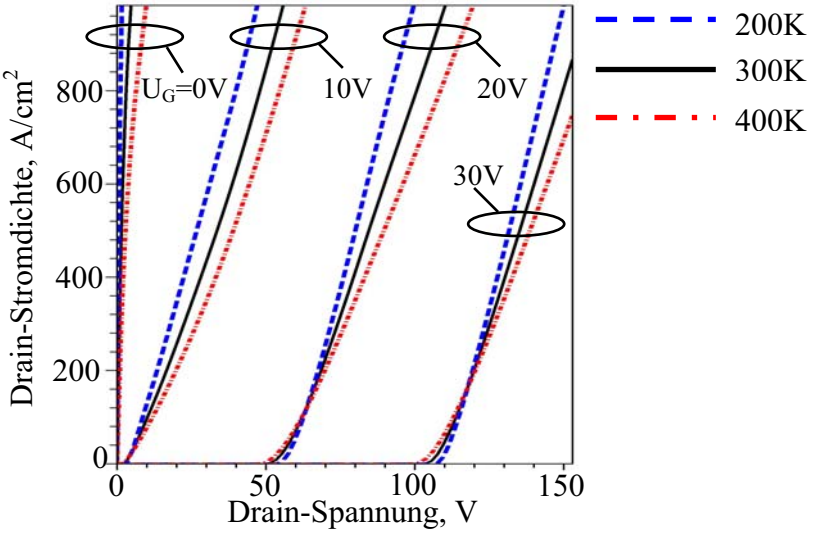
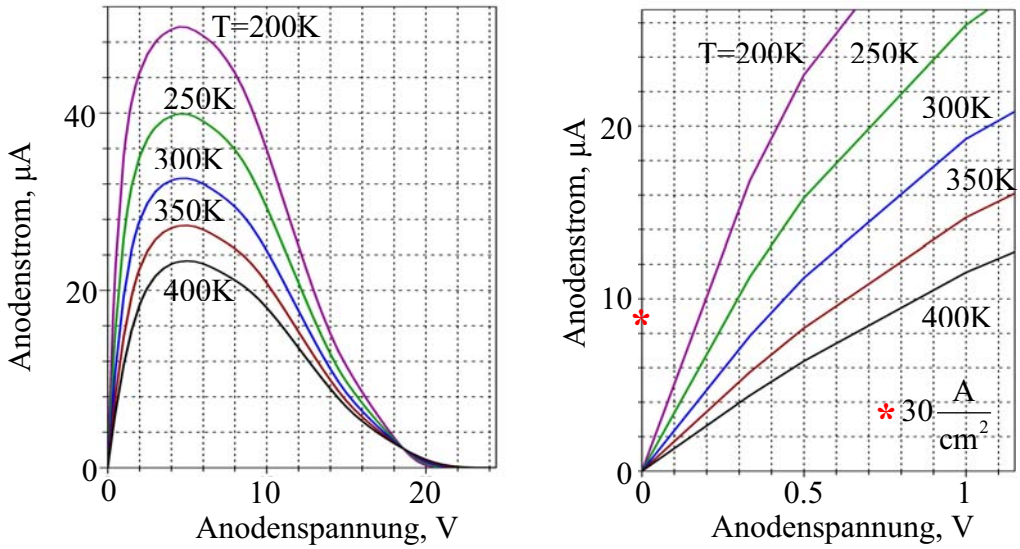


Bild 4.54: Simuliertes Ausgangskennlinienfeld eines planaren p-Kanal-SIT für drei Temperaturen, $\eta_2 = 2$



(a) Gesamte Kennlinie **(b)** Durchlassbereich

Bild 4.55: Simulierter Kennlinienvergleich einer 60V Dualen Thyristor-Struktur mit drei parallelen vertikalen p-Kanal-SITs bei unterschiedlichen Temperaturen

Eine solche Verschlechterung der Durchlasseigenschaften wird unter Berücksichtigung der thermischen Reduktion der Beweglichkeit von Elektronen und Löcher auch verständlich [43, 44].
Auch die simulierte temperaturbedingte Änderung des maximalen Punktes $I_{max}(U_{max})$ der Strom-Spannungs-Kennlinie ist tendenziell mit dem Modellverhalten ähnlich. Beim Modell (s. Gleichung (4.63)) ist die Spannung U_{max} eine Funktion der Spannungsverstärkung V_u und der Pinch-Off-Spannung U_{p1}. Sie soll deswegen laut dem Modell in dem untersuchten Temperaturbereich temperaturstabil bleiben. Das wird durch die dargestellten Simulations-Ergebnisse bestätigt. (s. Bild 4.55a).
Das Bild 4.56 zeigt den simulierten maximalen Strom I_{max} als Funktion der Temperatur. Eine Berücksichtigung im Modell des Dualen Thyristors der Temperaturabhängigkeit der Elektronenbeweglichkeit im n-Kanal wird zum ähnlichen Temperaturverhalten des maximalen Stroms I_{max} führen.

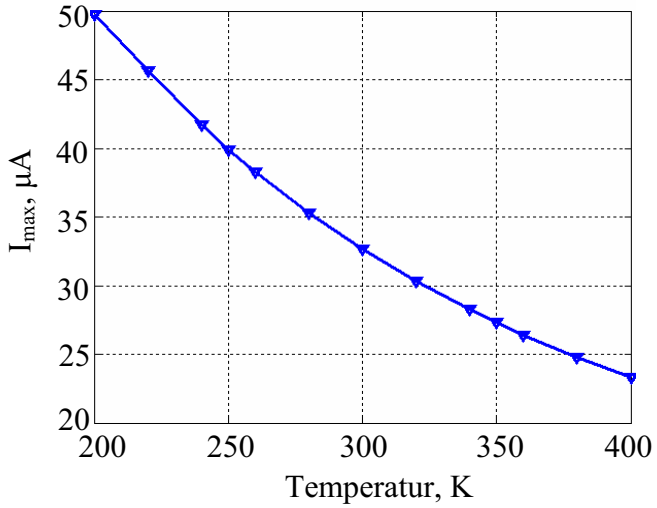


Bild 4.56: Simulierter maximaler Strom I_{max} als Funktion der Temperatur

Der maximale Strom I_{max} ist beim Modell laut Gleichung (4.64) direkt proportional zu dem Pinch-Off-Strom des n-Kanal-Teiltransistors I_{p1}:

$$I_{max} \sim I_{p1} \tag{4.85}$$

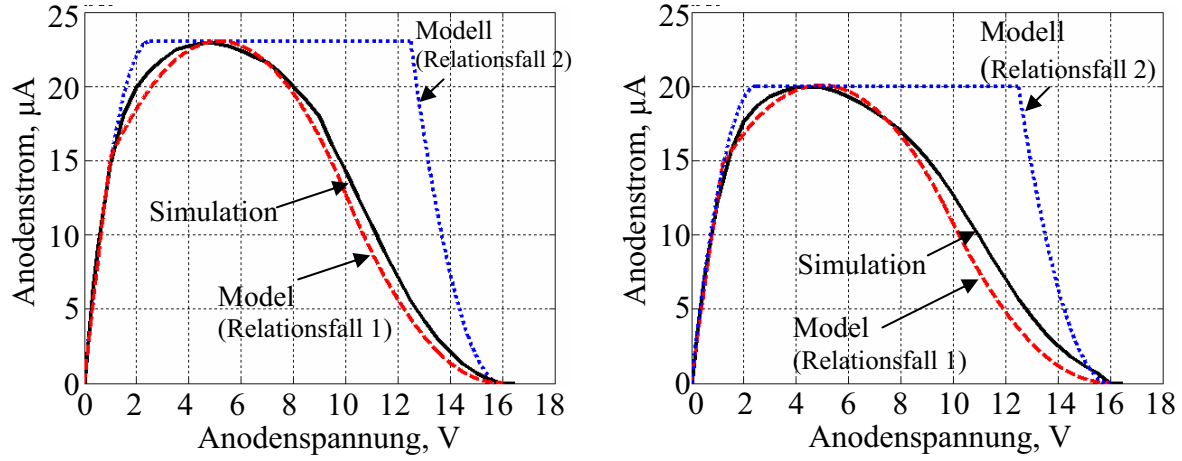
Da der Parameter I_{p1} laut Gleichung (4.8) durch Kanalladung, Kanalgeometrie und Elektronenbeweglichkeit im n-Kanal bestimmt wird, ergibt sich eine direkte Proportionalität zwischen dem maximalen Strom und der Elektronenbeweglichkeit:

$$I_{max} \sim \mu_n(T) \tag{4.86}$$

Unter Annahme des Klaassen Modells kann auch eine Korrelation zwischen dem Temperaturverhalten der Elektronenbeweglichkeit im n-Kanal und dem maximalen Strom I_{max} festgestellt werden [44].

4.2.10 Verifikation von Modell-Parametern durch Modell-Simulations-Vergleich

Aufgrund der guten Korrelation zwischen den Simulationsergebnissen und dem Modellverhalten des Bauelementes ist die Frage gerechtfertigt, ob die Anwendung des Modells nicht nur auf die Bauelemente-Entwicklung und Erklärung des Funktionsprinzips eingeschränkt ist, sondern auch als Kompaktmodell für Schaltungssimulationen verwendet werden kann.
Ein Vergleich der simulierten Kennlinie des Bauelementes mit den nach den Modellgleichungen berechneten Kennlinien bei 300K und 400K ist im Bild 4.57 dargestellt. Die entsprechenden Modellparameter lassen sich mit Hilfe der charakteristischen Punkte der simulierten Kennlinie (I_{max}, U_{max}, U_{off}) verifizieren.
Die für den Relationsfall 1 *($U_{th}<U_{p1}$)* berechnete Kennlinie zeigt bei beiden Temperaturen eine gute Übereinstimmung mit der simulierten Kennlinie des Dualen Thyristors.
Für eine weitere präzisere Modellentwicklung des Bauelementes ist ein genaues physikalisches Modell für den SIT erforderlich.



(a) T=300 K **(b)** T=400 K

Bild 4.57: Simulierte Kennlinie einer 60V Dualen Thyristor-Struktur mit drei parallelen vertikalen p-Kanal-SITs im Vergleich zu den mit den Modellgleichungen berechneten Kennlinien mit folgenden durch Simulationen verifizierten Parametern:
(a) 300K: Relationsfall 1: $I_{p1} = 8x10^{-5}$ A, $U_{p1} = -10V$, $V_u = 2$, $U_{th} = 1V$
Relationsfall 2: $I_{p1} = 2{,}3x10^{-5}$ A, $U_{p1} = -2.5V$, $V_u = 2, 5$, $U_{th} = 12.5V$
(b) 400K: Relationsfall 1: $I_{p1} = 6.5x10^{-5}$ A, $U_{p1} = -9.9V$, $V_u = 2$, $U_{th} = 1.2V$
Relationsfall 2: $I_{p1} = 2x10^{-5}$ A, $U_{p1} = -2.5V$, $V_u = 2.5$, $U_{th} = 12.5V$

4.2.11 Wirkung der n⁻-Zone auf die Strom-Spannungs-Kennlinie des Dualen Thyristors

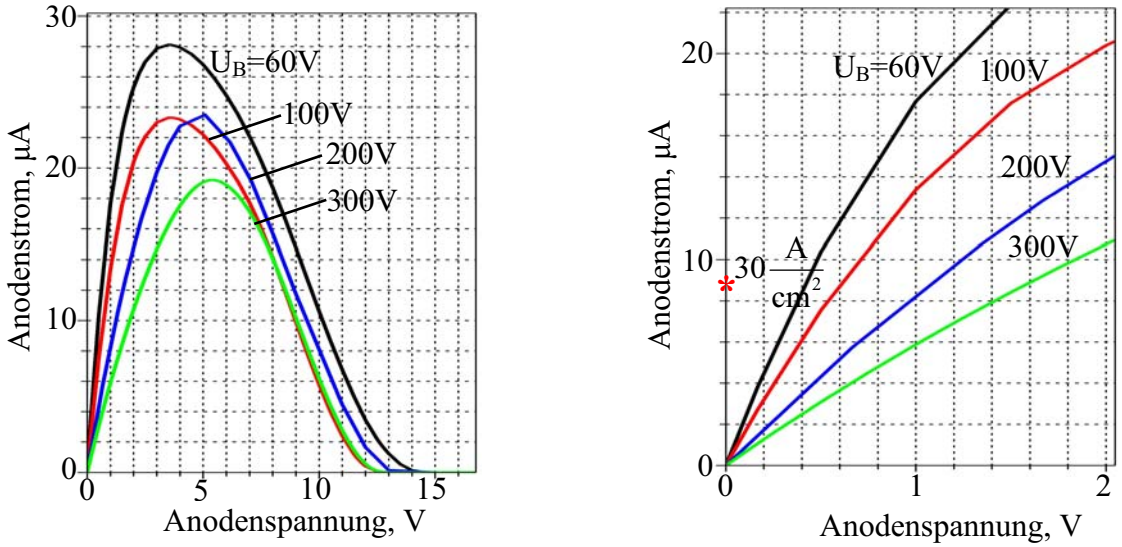
Die Dotierung der n⁻-Zone N_{n^-} sowie ihre Dicke d_{n^-} (s. Bild 4.33) werden durch die notwendige Durchbruchspannung U_B des Bauelementes bestimmt und können unter Annahme eines stark unsymmetrischen pn-Überganges mit den Gleichungen (4.87) und (4.88) eingeschätzt werden:

$$N_{n^-} = \frac{2q}{\varepsilon_s E_c^2} U_B^{-1} \tag{4.87}$$

$$d_{n^-} = \frac{2U_B}{E_c} \tag{4.88}$$

E_c – kritische Feldstärke, bei der Avalanche im pn-Übergang auftritt

Wird die Struktur auf eine hohe Durchbruchspannung nach Gleichungen (4.87) und (4.88) ausgelegt, bildet die n⁻-Zone einen hohen Widerstand R_{n^-}, dessen Wirkung auf die Kennlinie des Bauelementes sehr groß ist.



(a) Gesamte Kennlinie **(b)** Durchlassbereich

Bild 4.58: Simulierter Kennlinienvergleich von Dualen Thyristor-Strukturen der unterschiedlichen Spannungsklassen. Alle Strukturen sind aufbaugleich (mit drei parallelen vertikalen p-Kanal-SITs, s. Bild 4.35)

Da der Stromfluss im n⁻-Driftgebiet zu 100% von den Majoritätsträgern (Elektronen) getragen wird, findet keine bipolare Ladungsträgerüberschwemmung der hochohmigen n⁻-Zone statt.
Bild 4.58 zeigt die simulierten Kennlinien der Dualen Thyristor-Strukturen, die in Bezug auf ihre Durchbruchspannungen U_B zu unterschiedlichen Spannungsklassen von Leistungsbauelementen gehören. Alle Strukturen sind aufbaugleich (mit drei parallelen p-Kanal-SITs). Entsprechend dem Bild 4.58a kann nur eine sehr schwache Änderung der Abschaltspannung U_{off} festgestellt werden.
Außerdem findet eine erhebliche Verschlechterung der Durchlasseigenschaften bei der Erhöhung der Durchbruchsspannung U_B statt. Wie das Bild 4.58b zeigt, erhöht sich die Durchlassspannung einer 300V-Struktur im Vergleich zu einer 60V-Struktur um 1,32 V bei einer

Durchlassstromdichte von 30 A/cm^2. Die Erklärung für eine solche starke Verschlechterung der Durchlasseigenschaften liegt daran, dass die Erhöhung der Durchbruchsspannung U_B zu einer Erhöhung des auf der n^--Zone abfallenden Durchlassspannungsanteils führt. Wie man aus dem Bild 4.59 entnehmen kann, beträgt der Durchlassspannungsanteil der n^--Zone ca. 65% von der gesamten Durchlassspannung (1,73V) im Fall einer 300V-Struktur.

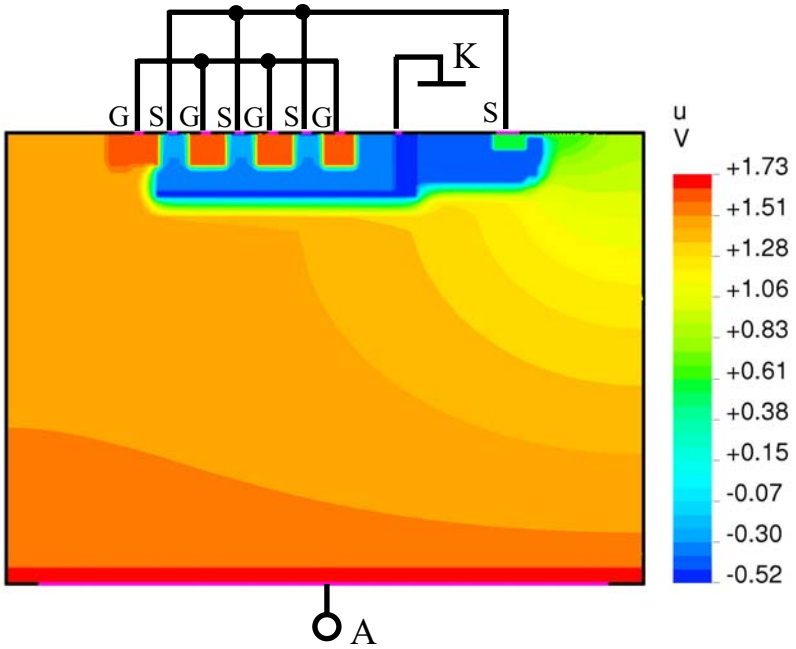


Bild 4.59: Simulierte elektrische Potenzialverteilung in einer 300V- Struktur mit drei parallelen vertikalen p-Kanal-SITs

Deswegen ist der Duale Thyristor als unipolares Bauelement für Anwendungen in höheren Spannungsbereichen (ab 200 V) nicht geeignet. Für die Entwicklung des Dualen Thyristors als Bauelement der höheren Spannungsklassen benötigt man das Konzept der bipolaren Ladungsträgerüberschwemmung der hochohmigen n^--Zone.

4.2.12 Stationäres Modell des Dualen Thyristors mit p-Kanal-SIT unter Berücksichtigung des n^--Substrat-Widerstandes

Zur Berücksichtigung der Wirkung des n^--Substrates auf die Strom-Spannungs-Kennlinie des Dualen Thyristors wird ein zusätzlicher Parameter R_{n^-} eingeführt, dessen Höhe den ohmschen Widerstand der n^--Zone charakterisiert. Das Ersatzschaltbild des Dualen Thyristors unter Berücksichtigung dieses Parameters ist im Bild 4.60 dargestellt.
Die über die beiden Teiltransistoren abfallende Spannung U_x nimmt jetzt nur einen Bruchteil der gesamten Anodenspannung U_{AK} an:

$$U_{AK} = U_x + I_A R_{n^-} \tag{4.89}$$

Der p-Kanal-Teiltransistor T2 in SIT-Ausführung kann in der Ersatzschaltung als eine ideale spannungsgesteuerte Spannungsquelle V_q mit Spannungsverstärkung V_u und mit Schwellenspannung U_{th} dargestellt werden (s. Kapitelabschnitt 4.2.5). Das entsprechende Ersatzschaltbild der Dualen Thyristor-Struktur mit p-Kanal-SIT unter Berücksichtigung des n^--Substrat-Widerstandes R_{n^-} ist im Bild 4.61 gezeigt.

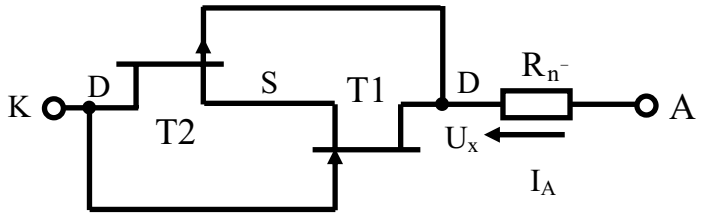


Bild 4.60: Dualer Thyristor als Kombination von p- und n-Kanal-JFET unter Berücksichtigung des n^--Substrat-Widerstandes R_{n^-}

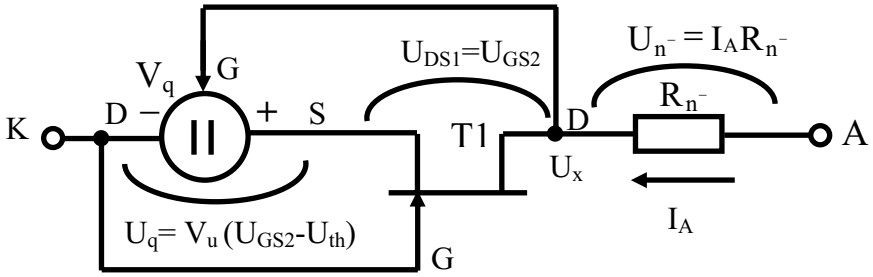


Bild 4.61: Ersatzschaltbild des Dualen Thyristors mit p-Kanal-SIT und mit n-Kanal-JFET unter Berücksichtigung des n^--Substrat-Widerstandes R_{n^-}

Der n-Kanal-Teiltransistor T1 ist ein lateraler Langkanal-JFET. Seine Strom-Spannungs-Ausgangskennlinie besteht aus einem Trioden- und Sättigungsbereich (s. Bild 4.7a). Diese beiden Kennlinienbereiche werden mit den Gleichungen (4.10) und (4.11) mit Hilfe von zwei Parametern U_{p1} und I_{p1} beschrieben.
Für eine weitere Modellanalyse wird der **Relationsfall 1** ($U_{th} < |U_{p1}|$) betrachtet. Diese Relation zwischen der Schwellenspannung U_{th} und der Pinch-Off-Spannung U_{p1} des Transistors T1 entspricht laut der im Kapitel 4.2.10 vorgestellten Parameterverifikation den untersuchten Dualen Thyristor-Strukturen.

Im **Relationsfall 1** ($U_{th} < |U_{p1}|$) können unter Berücksichtigung des Strom-Spannungs-Verhaltens der beiden Teilkomponenten des Dualen Thyristors ähnlich wie beim Modell des Dualen Thyristors ohne Widerstand R_{n^-} drei Fälle auftreten:

1. Die Gate-Spannung U_{GS2} der Spannungsquelle V_q ist kleiner als die Schwellenspannung U_{th}; der n-Kanal-Transistor befindet sich im Triodenbereich (**Fall 1**).

2. Die Gate-Spannung U_{GS2} ist größer als die Schwellenspannung U_{th}; der n-Kanal-Transistor befindet sich im Triodenbereich (**Fall 2**).

3. Die Gate-Spannung U_{GS2} ist größer als die Schwellenspannung U_{th}; der n-Kanal-Transistor befindet sich im Sättigungsbereichbereich (**Fall 3**).

Da die Anodenspannung U_{AK} im Modell ohne Widerstand R_{n^-} der Teilspannung U_x im Modell mit Widerstand R_{n^-} entspricht, können die im Kapitelabschnitt 4.2.5 beschriebenen Kennlinienbereiche auch auf das Modell mit Widerstand R_{n^-} übertragen werden, indem die Anodenspannung U_{AK} durch die Teilspannung U_x ersetzt wird.

Fall 1 tritt auf, wenn folgende Bedingung erfüllt ist:

$$U_x \le U_{th} \quad \text{– Bereich 1} \tag{4.90}$$

Die Kennliniengleichung für den Bereich 1 gewinnt man, indem man die Anodenspannung U_{AK} durch die Teilspannung U_x in der Gleichung (4.57) ersetzt (entspricht dem Bereich 1 des Modells ohne R_{n^-}):

$$I_A \approx -c_1\left[2\,U_{p1}\,U_x + U_x^2\right], \quad \text{wobei } c_1 = \frac{I_{p1}}{U_{p1}^2} \tag{4.91}$$

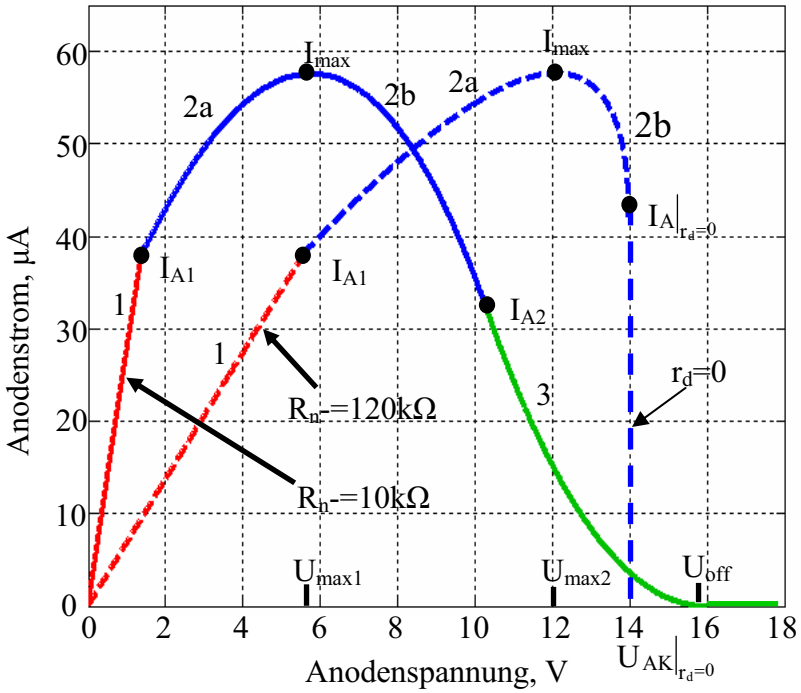


Bild 4.62: Strom-Spannungs-Kennlinie des Dualen Thyristors, berechnet mit den Modellgleichungen für zwei unterschiedliche n⁻- Substrat-Widerstände R_{n^-} und bei Vorgabe von folgenden Parametern:
$V_u = 2$, $U_{th} = 1V$, $I_{p1} = 2x10^{-4}A$, $U_{p1} = -10V$

Diese quadratische Gleichung lässt sich nach U_x auflösen:

$$U_x = |U_{p1}| - \sqrt{U_{p1}^2 - \frac{I_A}{c_1}} \tag{4.92}$$

Berücksichtigt man die Grenzbedingung (4.90) für die Teilspannung U_x, erhält man die Anodenstrom-Grenzbedingung I_{A1} für den Fall 1:

$$I_{A1} = c_1\left(U_{p1}^2 - \left(|U_{p1}| - U_{th}\right)^2\right) \tag{4.93}$$

$$I_A \le I_{A1} \quad \text{–Anodenstrombereich 1} \tag{4.94}$$

Durch Addieren der über die n^--Zone abfallenden Teilspannung zu der Teilspannung U_x (gemäß Gleichung (4.89)) ergibt sich die Funktion $U_{AK}(I_A)$, welche die Strom-Spannungs-Kennlinie des Dualen Thyristors im Bereich 1 beschreibt:

$$U_{AK} = \left|U_{p1}\right| - \sqrt{U_{p1}^2 - \frac{I_A}{c_1}} + I_A R_{n^-} \tag{4.95}$$

Die erste Ableitung der Funktion $U_{AK}(I_A)$ nach dem Anodenstrom I_A ergibt den differentiellen Durchlasswiderstand r_{on}:

$$r_{on} = \frac{1}{2\sqrt{U_{p1}^2 - \frac{I_A}{c_1}}} + R_{n^-} \tag{4.96}$$

Der Verlauf der Strom-Spannungs-Kennlinie des Dualen Thyristors (berechnet für zwei unterschiedliche n^-- Substrat-Widerstände R_{n^-}) ist im Bild 4.62 dargestellt.
Die Modellanalyse zeigt, dass der n^--Substrat-Widerstand R_{n^-} ein Bestandteil vom statischen und vom differenziellen Durchlasswiderstand des Dualen Thyristors ist. Bei unipolaren Hochspannungsbauelementen mit niedriger Dotierung und großer Dicke der n^--Zone kann dieser Anteil des Durchlasswiderstandes dominieren. Es ist deswegen notwendig, bei Hochspannungsbauelementen das Konzept der bipolaren Ladungsträgerüberschwemmung der hochohmigen n^--Zone anzuwenden, das zu einer starken Verringerung des Widerstandes R_{n^-} und damit zur Verbesserung der Durchlasseigenschaften führt.

Der **Fall 2** (die Gate-Spannung U_{GS2} größer als die Schwellenspannung U_{th}, Transistor T1 im Triodenbereich) erfordert folgende Bedingung:

$$U_{th} < U_x \leq \left|U_{p1}\right| \qquad \text{- Bereich 2} \tag{4.97}$$

In diesem Bereich ist die Ausgangsspannung der spannungsgesteuerten Spannungsquelle U_q nach Gleichung (4.59) direkt proportional zur Gate-Spannung U_{GS2}.
Man gewinnt die Teilspannungen U_{DS1} und U_q, wenn man die Anodenspannung U_{AK} durch die Teilspannung U_x in den entsprechenden Teilspannungsgleichungen (4.60) und (4.61) des Modells ohne R_{n^-} ersetzt:

$$U_{DS1} = \frac{U_x + V_u U_{th}}{1 + V_u} \tag{4.98}$$

$$U_q = \frac{V_u}{1 + V_u}(U_x - U_{th}) \tag{4.99}$$

Die Funktion $I_A(U_x)$ für den Bereich 2 ergibt sich durch diesen Spannungsersatz in der Gleichung (4.62) (entspricht dem Bereich 2 im Modell ohne R_{n^-}):

$$I_A = -c_1\left(\frac{1+2V_u}{(1+V_u)^2}(U_x+V_u U_{th})^2 - \frac{2(\left|U_{p1}\right| + V_u U_{th})}{1+V_u}(U_x + V_u U_{th})\right) \tag{4.100}$$

Diese parabolische Funktion kann in Form einer quadratischen Gleichung dargestellt werden:

$$ay^2 - by + c = 0 \tag{4.101}$$

mit der Variablen *y*:

$$y = U_x + V_u U_{th} \tag{4.102}$$

und den Koeffizienten:

$$a = \frac{1+2V_u}{(1+V_u)^2} \tag{4.103}$$

$$b = \frac{2(|U_{pl}| + V_u U_{th})}{1+V_u} \tag{4.104}$$

$$c = \frac{I_A}{c_1} \tag{4.105}$$

Wird diese Gleichung nach *y* aufgelöst, erhält man die Teilspannung U_x als Funktion des Anodenstroms I_A:

$$U_x = \frac{b \mp \sqrt{b^2 - 4a\frac{I_A}{c_1}}}{2a} - V_u U_{th} \tag{4.106}$$

Durch Addieren der Teilspannung U_{n^-} zu der Teilspannung U_x (nach Gleichung (4.89)) ergibt sich die Funktion $U_{AK}(I_A)$, die die Kennlinie des Dualen Thyristors im Bereich 2 beschreibt:

$$U_{AK} = \frac{b \mp \sqrt{b^2 - 4a\frac{I_A}{c_1}}}{2a} - V_u U_{th} + I_A R_{n-} \tag{4.107}$$

Die erste Ableitung dieser Funktion nach I_A ergibt den differenziellen Widerstand r_d im Bereich 2:

$$r_d = \frac{dU_{AK}}{dI_A} = \pm\frac{1}{c_1\sqrt{b^2 - 4a\frac{I_A}{c_1}}} + R_{n^-} \tag{4.108}$$

Der differenzielle Widerstand r_d geht gegen Unendlich, wenn das Polynom unter der Wurzel in der Beziehung (4.108) null wird. Dieser Fall entspricht einem Maximum der Funktion $I_A(U_{AK})$ im Bereich 2:

$$I_{max} = c_1\frac{b^2}{4a} \tag{4.109}$$

$$U_{max} = \frac{b}{2a} - V_u U_{th} + c_1 \frac{b^2}{4a} R_{n^-} \tag{4.110}$$

Der maximale Strom I_{max} ist von der Höhe des Widerstandes der n^--Zone unabhängig. Er ist gleich dem maximalen Strom I_{max} beim Modell des Dualen Thyristors ohne Widerstand R_{n^-} (s. Gleichung (4.64)). Die maximale Spannung U_{max} steigt dagegen mit der Erhöhung des Parameters R_{n^-}.
Vor dem Erreichen der maximalen Spannung U_{max} wird die Strom-Spannungs-Kennlinie nach Gleichung (4.107) mit dem Minuszeichen vor der Wurzel beschrieben:

$$U_{AK} = \frac{b - \sqrt{b^2 - 4a\frac{I_A}{c_1}}}{2a} - V_u U_{th} + I_A R_{n^-} \tag{4.111}$$

Diese Funktion beschreibt die Strom-Spannungs-Kennlinie des Dualen Thyristors im Anodenstrombereich 2a (s. Bild 4.62):

$$I_{A1} \le I_A \le I_{max} \quad \text{- Anodenstrombereich 2a} \tag{4.112}$$

Diesem Bereich entspricht der positive differenzielle Widerstand r_d, der nach Gleichung (4.108) mit dem Pluszeichen vor der Wurzel beschrieben wird:

$$r_d = \frac{1}{c_1\sqrt{b^2 - 4a\frac{I_A}{c_1}}} + R_{n^-} \tag{4.113}$$

Nach dem Erreichen der maximalen Spannung U_{max} wird die Strom-Spannungs-Kennlinie durch Gleichung (4.107) mit dem Pluszeichen vor der Wurzel beschrieben:

$$U_{AK} = \frac{b + \sqrt{b^2 - 4a\frac{I_A}{c_1}}}{2a} - V_u U_{th} + I_A R_{n^-} \tag{4.114}$$

Diese Funktion beschreibt die Kennlinie des Dualen Thyristors im Anodenstrombereich 2b (s. Bild 4.62):

$$I_{A2} \le I_A \le I_{max} \quad \text{- Anodenstrombereich 2b} \tag{4.115}$$

Der Anodenstromgrenzwert I_{A2} ergibt sich durch Einsetzen der Grenzbedingung (4.97) in die Gleichung (4.106):

$$I_{A2} = \frac{c_1}{(1+V_u)^2}\left(V_u U_{th} + \left|U_{p1}\right|\right)^2 \tag{4.116}$$

Dem Bereich 2b entspricht der Widerstand r_d, welcher nach Gleichung (4.108) mit einem Minuszeichen vor der Wurzel beschrieben wird:

$$r_d = -\frac{1}{c_1\sqrt{b^2 - 4a\frac{I_A}{c_1}}} + R_{n^-} \tag{4.117}$$

Der differenzielle Widerstand r_d bleibt laut Gleichung (4.117) in diesem Bereich negativ, bis der senkende Anodenstrom I_A einen bestimmten Punkt erreicht, in dem der Widerstand r_d Null wird (s. Bild 4.62, Strom-Spannungs-Kennlinie für R_{n^-}=120 kOhm):

$$I_A\Big|_{r_d=0} = c_1\frac{b^2 - \frac{1}{c_1^2 R_{n^-}^2}}{4a} \tag{4.118}$$

$$U_{AK}\Big|_{r_d=0} = \frac{b + \frac{1}{c_1 R_{n^-}}}{4a} - V_u U_{th} + I_A\Big|_{r_d=0} R_{n^-} \tag{4.119}$$

Nachdem dieser Punkt erreicht worden ist, schaltet der Duale Thyristor sehr schnell ab (im Fall einer idealen Spannungsquelle), sodass die Spannung $U_{AK}\big|_{r_d=0}$ der Abschaltspannung U_{off} gleichgesetzt werden kann:

$$U_{off} = U_{AK}\Big|_{r_d=0} \tag{4.120}$$

Es ist zu beachten, dass der differentielle Widerstand r_d nur dann einen Wert von Null erreichen kann, wenn der Transistor T1 im Triodenbereich bleibt, also wenn der Punkt $I_A\big|_{r_d=0}$ im Anodenstrombereich 2b liegt:

$$I_A\Big|_{r_d=0} < I_{A2} \tag{4.121}$$

Wird diese Bedingung aufgrund der nicht ausreichenden Höhe des Widerstandes R_{n^-} nicht erfüllt, tritt bei weiterer Erhöhung der Anodenspannung U_{AK} der Fall 3 auf (s. Bild 4.62, Strom-Spannungs-Kennlinie für R_{n^-}=10 kOhm).

Der **Fall 3** (die Gate-Spannung U_{GS2} größer als die Schwellenspannung U_{th}, Transistor T1 im Sättigungsbereich) wird unter folgenden Bedingungen erfüllt:

$$U_x \geq |U_{p1}| \qquad \text{- Bereich 3} \tag{4.122}$$

$$I_A > I_{A2} \qquad \text{- Anodenstrombereich 3} \tag{4.123}$$

In diesem Bereich werden die Teilspannungen des Dualen Thyristors wie im Fall 2 mit den Gleichungen (4.98) und (4.99) beschrieben.
Die Strom-Spannungs-Kennlinie für den Bereich 3 erhält man, indem man die Anodenspannung U_{AK} durch die Teilspannung U_x in der Gleichung (4.66) ersetzt (entspricht dem Bereich 3 des Modells ohne R_{n^-}):

$$I_A = c_1\left(\frac{V_u}{1+V_u}(U_x - U_{th}) - |U_{p1}|\right)^2 \tag{4.124}$$

Diese quadratische Gleichung kann nach U_x aufgelöst werden:

$$U_x = U_{th} - \frac{1+V_u}{V_u}\left(\sqrt{\frac{I_A}{c_1}} - |U_{p1}|\right) \tag{4.125}$$

Durch Addieren der über die n^--Zone abfallenden Teilspannung zu der Teilspannung U_x, nach Gleichung (4.89), ergibt sich die Funktion $U_{AK}(I_A)$, die der Kennlinie des Dualen Thyristors im Bereich 3 entspricht:

$$U_{AK} = U_{th} - \frac{1+V_u}{V_u}\left(\sqrt{\frac{I_A}{c_1}} - |U_{p1}|\right) + I_A R_{n^-} \tag{4.126}$$

Die erste Ableitung dieser Funktion nach I_A ergibt den differenziellen Widerstand r_d im Bereich 3:

$$r_d = -\frac{1+V_u}{2V_u\sqrt{c_1 I_A}} + R_{n^-} \tag{4.127}$$

Dieser Widerstand bleibt negativ, bis der Anodenstrom I_A Null wird. Das bedeutet, dass die Funktion $I_A(U_{AK})$ eine abfallende Funktion bleibt, bis die Anodenspannung die Abschaltspannung U_{off} erreicht, bei der der Anodenstrom Null wird (s. Bild 4.62):

$$U_{off} = \frac{1+V_u}{V_u}|U_{p1}| + U_{th} \tag{4.128}$$

Diese Abschaltspannung U_{off} ist gleich der Abschaltspannung U_{off} beim Modell des Dualen Thyristors ohne Widerstand R_{n^-} (s. Gleichung (4.67)). Sie ist bei genügend niedrigem Widerstand R_{n^-} (das heißt, bei den Widerstandsgrößen, die den Fall 3 zulassen) von diesem Parameter unabhängig.

Bild 4.63a veranschaulicht, wie sich die Kennlinie des Dualen Thyristors mit der Erhöhung des Parameters R_{n^-} verändert. Man erkennt, dass durch die Erhöhung dieses Parameters zwei Kennliniengruppen entstehen. Die Kennlinien der ersten Gruppe haben eine von dem Widerstand R_{n^-} unabhängige Abschaltspannung U_{off}. Den Strom-Spannungs-Kennlinien aus der zweiten Gruppe entspricht eine durch Erhöhung von R_{n^-} steigende Abschaltspannung U_{off}. Der Abschaltvorgang erfolgt in diesem Fall mit dem differentiellen Widerstand r_d von Null. Alle Kennlinien haben einen von dem Parameter R_{n^-} unabhängigen maximalen Strom I_{max}.
Die im Bild 4.63b vorgestellten simulierten Strom-Spannungs-Kennlinien einer 60V-Dualen-Thyristor-Struktur (s. Bild 4.35) mit einem in Reihe geschalteten Anodenwiderstand R_{n^-} zeigen exakt das gleiche Verhalten bei einer Variation von R_{n^-}.

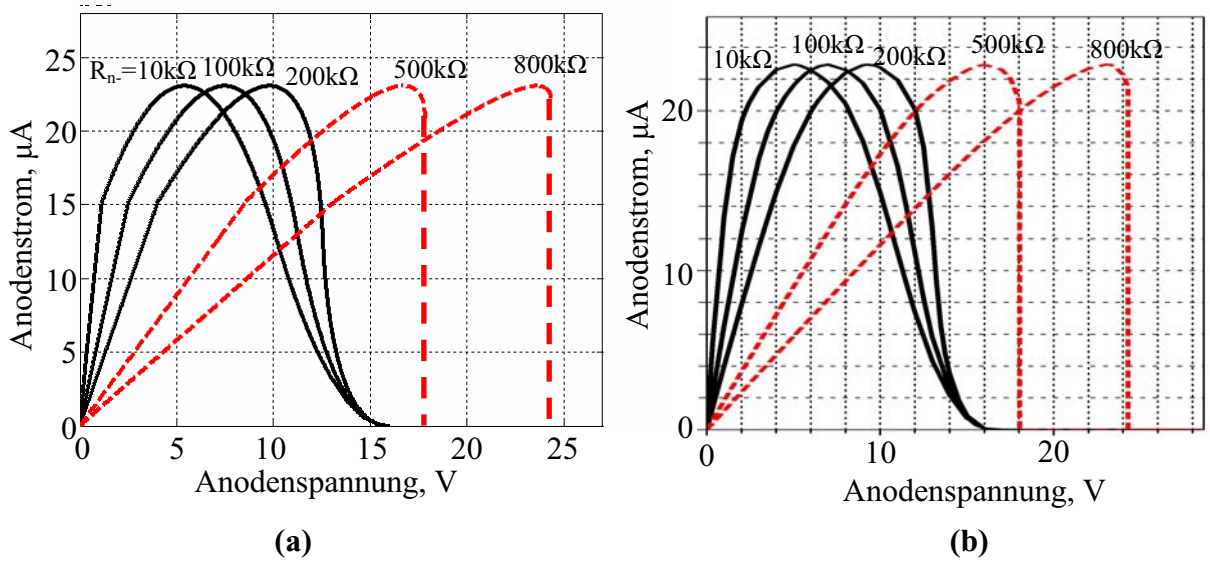
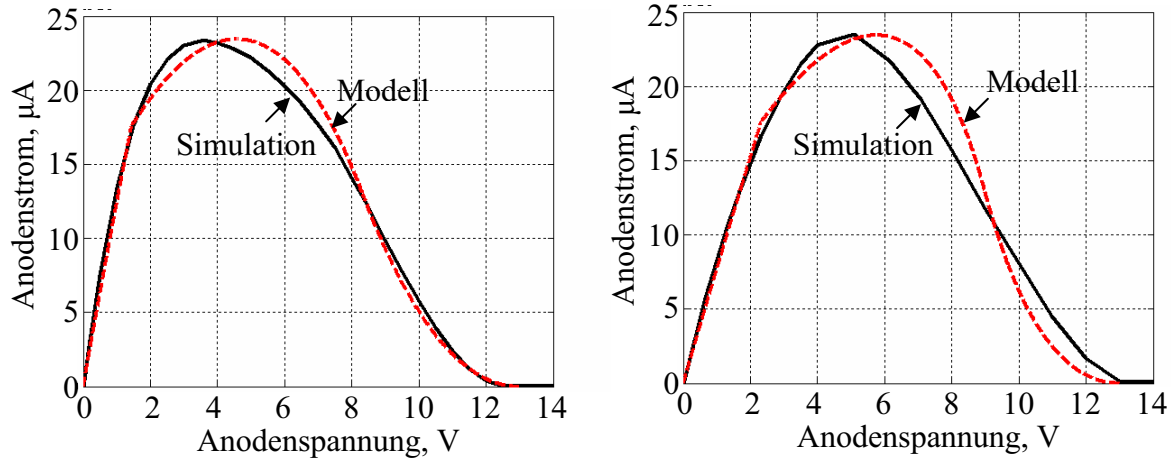


Bild 4.63: (a) Strom-Spannungs-Kennlinie des Dualen Thyristors, berechnet mit den Modellgleichungen bei Variation von R_{n^-} und bei Vorgabe der folgenden Parameter: $V_u = 2$, $U_{th} = 1V$, $I_{p1} = 8x10^{-4}$ A, $U_{p1} = -10V$
(b) Simulierte Strom-Spannungs-Kennlinie einer 60V-Struktur mit einem in Reihe geschalteten Anodenwiderstand R_{n^-} bei Variation von R_{n^-}

Die Einführung des fünften Parameters R_{n^-} ermöglicht es, das Modell des Dualen Thyristors mit p-Kanal- SIT als Kompaktmodell auch im höheren Spannungsbereich anzuwenden. Ein Vergleich der simulierten Strom-Spannungs-Kennlinie eines 100V- bzw. 200V- Bauelementes mit der mit den Modellgleichungen berechneten Kennlinie ist im Bild 4.64 dargestellt. Die entsprechenden Modellparameter lassen sich mit Hilfe der charakteristischen Größen der simulierten Kennlinie (I_{max}, U_{max}, U_{off}, r_{on}) verifizieren. Eine gute Korrelation zwischen den Simulationsergebnissen und dem Modellverhalten des Bauelementes kann durch eine solche Parameterverifikation erreicht werden.



(a) 100V-Struktur **(b)** 200V-Struktur

Bild 4.64: Simulierte Kennlinie einer Dualen Thyristor-Struktur mit drei parallelen vertikalen p-Kanal-SITs im Vergleich zu einer mit den Modellgleichungen berechneten Kennlinie mit verifizierten Parametern:
(a) 100V-Struktur: $R_{n^-} = 25kOhm$, $I_{p1} = 7.5x10^{-5}A$, $U_{p1} = -8V$, $V_u = 2$, $U_{th} = 1V$
(b) 200V-Struktur: $R_{n^-} = 75kOhm$, $I_{p1} = 7.5x10^{-5}$ A, $U_{p1} = -8V$, $V_u = 2$, $U_{th} = 1V$

4.2.13 Begrenzung des n^+-Gate-Potenzials

Im Kapitel 4.2.3 zeigten wir, dass das n^+-Gate des p-Kanal-SIT einen Bruchteil der Anodenspannung annimmt. Das linke, in die n^--Zone eingebettete n^+-Gate-Gebiet des p-Kanal-Transistors, erfüllt dabei die Funktion einer Potenzialsonde (s. Bild 4.33).
Bild 4.65 zeigt den n^+-Gate-Potenzialverlauf bei Erhöhung der Anodenspannung in der 100V-Struktur mit einer solchen Potenzialsonde. Bei der Anodenspannung von 100V hat das n^+-Gate-Potenzial etwa den gleichen Wert wie das Anodenpotenzial. Das bedeutet aber, dass die linke p-Wanne die Raumladungszone aufnimmt und entsprechend der notwendigen Sperrfestigkeit mit niedriger Dotierung und mit großem Abstand zwischen den n^+-Gate-Gebieten und den p^+-Gebieten ausgelegt werden muss. Eine solche Anforderung erhöht den Drain-Zuleitungswiderstand des p-Kanal-SIT und verschlechtert deswegen die Durchlasseigenschaften des Dualen Thyristors.
Es ist auch zu beachten, dass zum regenerativen Abschalten des Bauelementes ein deutlich niedrigeres n^+-Gate-Potenzial erforderlich ist (s. Bild 4.65). Das bedeutet aber, dass das n^+-Gate-Potenzial bis zum für das Abschalten notwendigen Potenzial begrenzt werden kann.
Zu diesem Zweck wird ein zusätzlicher Hilfstransistor eingeführt, der die Rolle des Potenzial-Begrenzers übernimmt.
Bild 4.66a zeigt eine solche Struktur mit einem n-Kanal-SIT als Hilfstransistor. Der vertikale n-Kanal des Transistors wird von den zwei benachbarten p-Wannen eingegrenzt. Diese p-Wannen erfüllen die Funktion des Gate-Gebietes für den n-Kanal SIT. Ihre Funktion für den p-Kanal-SIT wird dabei nicht beeinflusst. Sie bleiben wie bei den Strukturen ohne den Hilfstransistor auf das Kathodenpotenzial gesetzt. Die Funktion des n-Drain-Gebietes erfüllt das n^--Substrat. Aus diesem Grund nimmt das Drain-Potenzial des Transistors einen Teil der Anodenspannung an. Das n^+-Source-Gebiet des n-Kanal-SIT wird mittels Metallisierung mit dem n^+-Gate-Gebiet des p-Kanal-SIT geschlossen. Die Ersatzschaltung dieser Struktur ist im Bild 4.66b dargestellt.
Die Ansteuerung des Hilfstransistors erfolgt durch eine Potenzialanhebung des n^+-Source-Gebietes des n-Kanal-SIT, die aufgrund der Erhöhung der Anodenspannung auftritt. Bei genügend niedrigem Anodenpotenzial ist der Hilfstransistor T3 leitend und lässt das volle Anodenpotential zum n^+-Gate-Gebiet des p-Kanal-SIT durch. Bei weiterer Erhöhung der Anodenspannung wird das n^+-Source-Potenzial des n-Kanal-SIT die Höhe erreichen, bei der der Hilfstransistor in Sperrzustand gerät und dabei einen großen Teil der Anodenspannung aufnimmt. Der Hilfstransistor ist so ausgelegt, dass sein Sperrzustand erst nach dem Abschalten des Bauelementes auftritt.
Bild 4.65 zeigt, dass mit Hilfe des Hilfstransistors das n^+-Gate-Potenzial deutlich reduziert wird (von 130V auf 26V bei einer Anodenspannung von 130V in der 100V-Struktur). Die Kennlinie des Dualen Thyristors bleibt durch Einführung des Hilfstransistors unbeeinflusst. Es ist auch zu bemerken, dass das Source-Potenzial des p-Kanal-SIT auch deutlich reduziert wird. Die Ursache dafür findet man in der Absenkung des Gate-Potenzials des p-Kanal-Transistors.
Bild 4.67 zeigt eine weitere Ausführungsvariante für den Hilfstransistor T3. In diesem Fall ist der Hilfstransistor ein lateraler selbstleitender n-Kanal-JFET, dessen n-Kanal in der linken p-Wanne eingebettet ist. Die Funktion des Source-Gebietes für den Transistor erfüllt das linke n^+-Gate-Gebiet des p-Kanal-SIT. Das n^+-Drain-Gebiet des Hilfstransistors (links) erfüllt die Funktion der Potenzialsonde und nimmt einen Bruchteil des Anodenpotenzials an. Im Übrigen ist die Funktion des Hilfstransistors absolut identisch mit der Funktion der oben beschriebenen Struktur.

Die n^+-Potenzialbegrenzung wird besonders notwendig bei der Entwicklung des Dualen Thyristors als Hochvolt-Bauelement (s. weitere Kapitel). Außerdem kann die Absenkung des

Source-Potenzials auch bei der Entwicklung des Leistungsschalters auf der Basis des Dualen Thyristors ausgenutzt werden (s. Kapitel 5).
Es ist auch bemerkenswert, dass im Prinzip nur ein Hilfstransistor T3 zu mehreren parallelen Dualen Thyristor-Zellen zugeschaltet werden kann, sodass ein durch Einführung dieses Transistors entstehender Flächenverlust in der gesamten Chipfläche irrelevant ist.

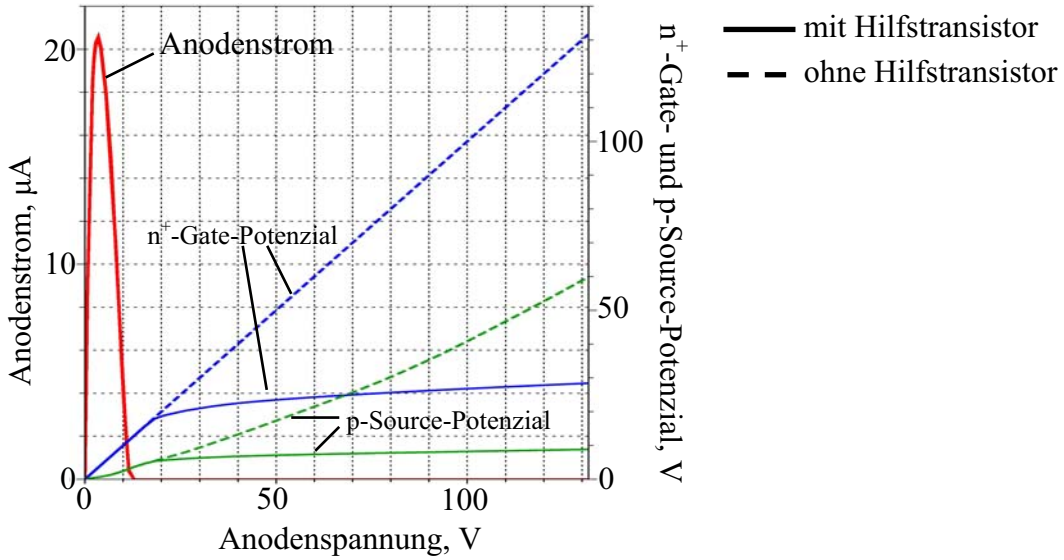


Bild 4.65: Simuliertes n^+-Gate- und Source-Potenzialverlauf in der 100V-Struktur mit und ohne Hilfstransistor

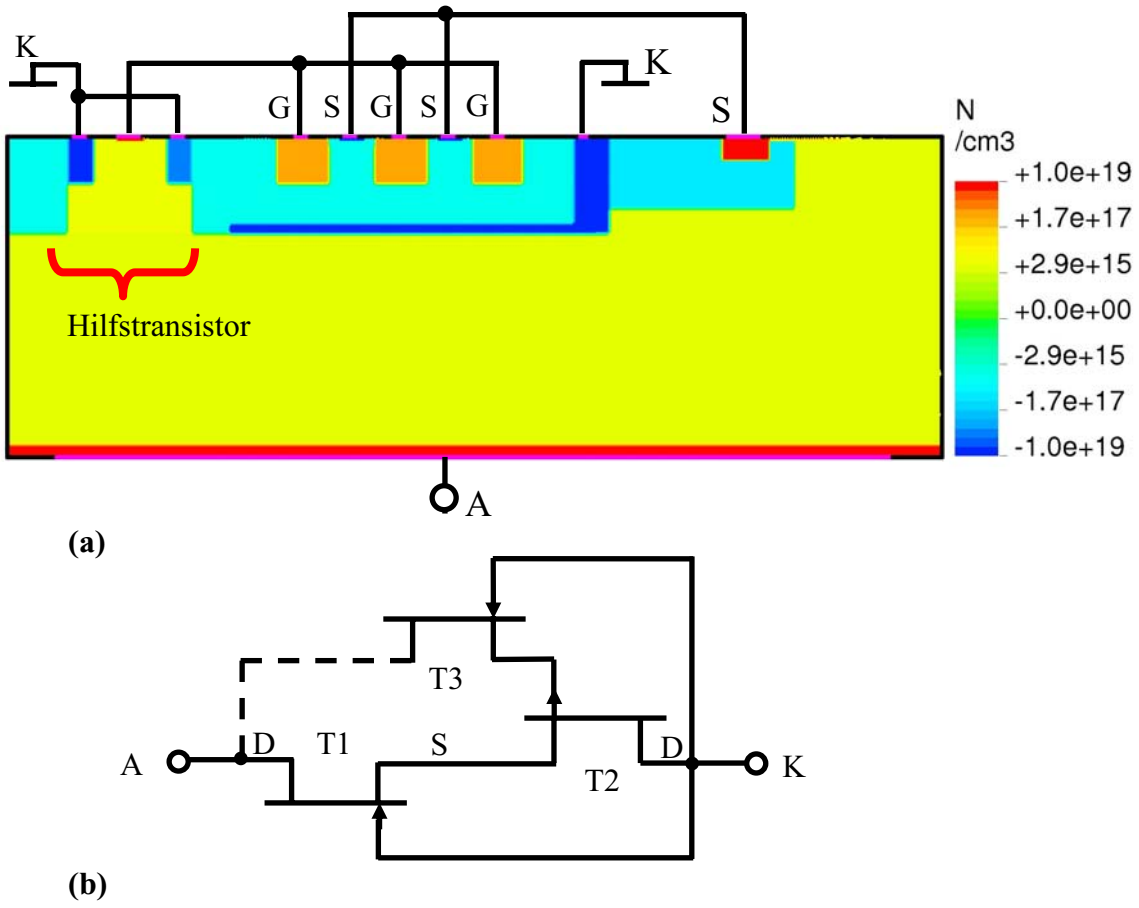


Bild 4.66: 100V-Struktur mit zusätzlichem n-Kanal-SIT (Hilfstransistor) zur Begrenzung des n^+-Gate-Potenzials: Struktur (a) und Ersatzschalbild (b)

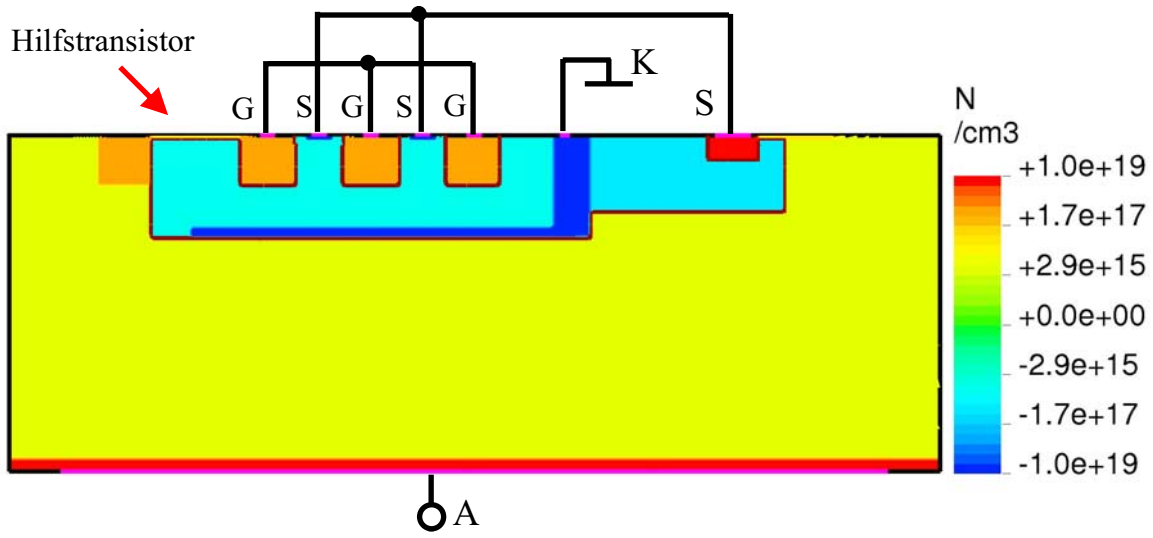


Bild 4.67: 100V-Struktur mit zusätzlichem lateralen n-Kanal-JFET (Hilfstransistor) zur Begrenzung des n^+-Gate-Potenzials

4.2.14 Struktur mit vertikalem p-Kanal-SIT und vertikalem n-Kanal-SIT

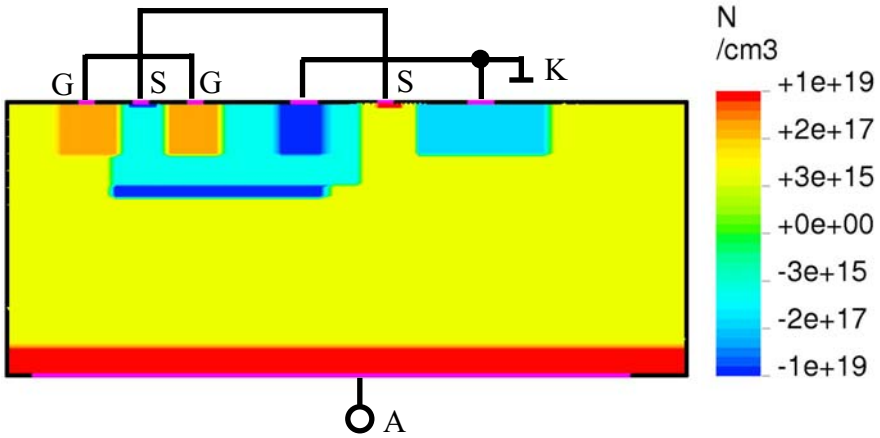
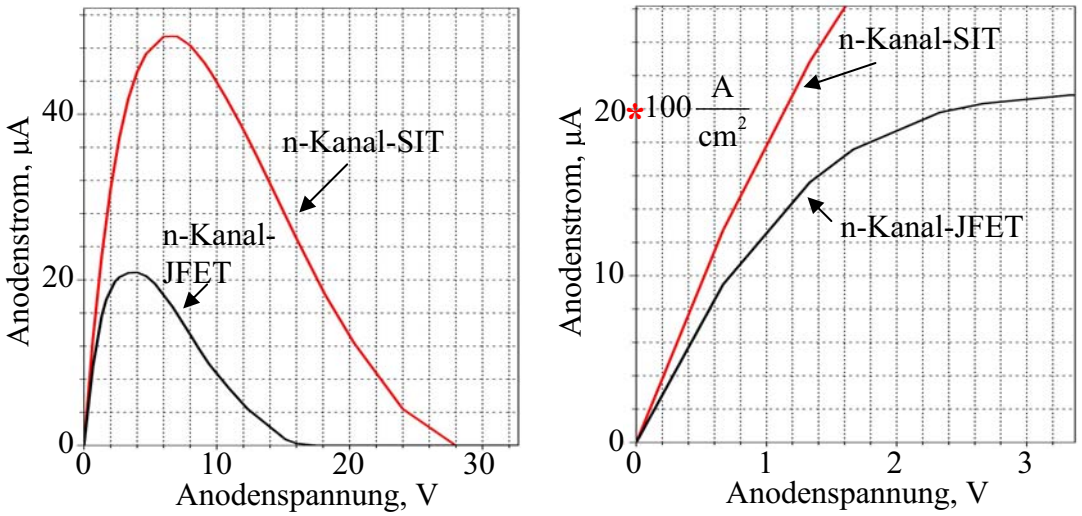


Bild 4.68: 60V-Struktur mit vertikalem p-Kanal-SIT und vertikalem n-Kanal-SIT

In dieser Ausführung wird der n-Kanal-Transistor als vertikales n-Kanal-SIT entwickelt. Seine Struktur ist der Struktur des n-Kanal-Hilfstransistors in SIT-Ausführung ähnlich (s. Bild 4.68).
Der vertikale n-Kanal wird durch die linke und rechte p-Wanne angesteuert. Der p-Kanal-Transistor ist als vertikales p-Kanal-SIT ausgelegt. Die Source-Gebiete von beiden Transistoren sind mittels Metallisierung zusammen geschlossen. Die Verbindung zwischen dem Gate des p-Kanal-SIT und dem Drain des n-Kanal-SIT entsteht über den Bulk des Bauelementes.
Aufgrund der verbesserten Durchlasseigenschaften des n-Kanal-Transistors und der Flächenreduktion erzielt man bei dieser Struktur einen Gewinn in der Durchlassspannung im Vergleich zur Struktur mit lateralem n-Kanal (s. Bild 4.69). Allerdings erhöht sich aufgrund der gleichzeitigen Reduktion der Spannungsverstärkung des n-Kanal-Transistors im Fall der SIT-Ausführung die Abschaltspannung dieser Struktur.
Außerdem ist es prinzipiell nicht möglich, diese Struktur als Hochspannungsbauelement auszulegen, weil in diesem Fall das Prinzip der Kaskodierung verletzt wird. Die beiden Teiltran-

sistoren sind in dieser Struktur Niedervolttransistoren und deshalb nicht in der Lage, die hohe Spannung aufzunehmen.
Die Struktur kann aufgrund der sehr hohen Integrationsfähigkeit im Niedervoltbereich verwendet werden.



(a) Gesamte Kennlinie (b) Durchlassbereich

Bild 4.69: Simulierte Strom-Spannungs-Kennlinie der Struktur mit n-Kanal-SIT im Vergleich zur Kennlinie einer ähnlichen Struktur mit vertikalem n-Kanal-JFET mit lateralem n-Kanal

4.2.15 Zusammenfassung

Aufgrund der oben vorgestellten Ergebnisse lässt sich hinsichtlich des Einsatzes und der Entwicklung vom p-Kanal-SIT in der Dualen Thyristor-Struktur folgendes zusammenfassen.
Der Einsatz eines planaren p-Kanal-SIT als Teiltransistor in der Dualen Thyristor-Struktur erscheint aufgrund seines temperaturstabilen Strom-Spannungs-Verhaltens und insbesondere aufgrund seiner guten Durchlasseigenschaften im Triodenbereich durchaus als sinnvoll.
Die im Kapitelabschnitt 4.2.2 vorgestellten Maßnahmen zur Verbesserung der Durchlasseigenschaften vom SIT, wie die Erhöhung des Aspektverhältnisses η und die Reduktion des Drain-Zuleitungswiderstandes, führen gleichzeitig zur Reduktion der Spannungsverstärkung V_u des Transistors. Aufgrund der Erhöhung der Abschaltspannung U_{off} des Dualen Thyristors mit der Reduktion der Spannungsverstärkung V_u muss eine Strukturoptimierung bei der Entwicklung des p-Kanal-SIT durchgeführt werden.
Das entwickelte Modell des Dualen Thyristors mit einem p-Kanal-SIT beschreibt mit guter Genauigkeit das Verhalten des Bauelementes und kann deswegen sowohl bei der Strukturoptimierung als auch als Kompaktmodell in der Schaltungssimulation eingesetzt werden.
Die Untersuchung der Wirkung des Substratwiderstandes auf die Kennlinie des Dualen Thyristors brachte zwei wichtige Ergebnisse:

1. Die Abschaltfunktion des Bauelementes bleibt bis zum Erreichen einer bestimmten Widerstandshöhe stabil. Diese Widerstandsgrenze liegt weit unter dem Wert, der den typischen Spannungsklassen von Leistungsbauelementen entspricht.
2. Betrachtet man den Widerstand als Lastwiderstand, ergibt sich eine mögliche interessante Anwendung, in der das System gegen die fehlerhafte Erhöhung der Betriebsspannung durch regeneratives Überstrom-Abschalten geschützt wird.

Das Modell veranschaulicht, wie das nicht plasmaüberschwemmte n^--Substrat auf die Durchlasseigenschaften des Dualen Thyristors wirkt. In diesem Zusammenhang erscheint es notwendig, bei der Entwicklung des Bauelementes als Hochspannungsbauelement (ab 200V) ein Konzept der bipolaren Ladungsträgerüberschwemmung anzuwenden.
Der entwickelte Hilfstransistor zur Begrenzung des p^+-Gate-Potenzials erweitert den sicheren Arbeitsbereich des Bauelementes und erweist eine sehr gute Integrationsfähigkeit mit minimalen Flächenverlusten.

4.3 Dualer Thyristor mit selbstleitendem IGBT

4.3.1 IGBT (Insulated Gate Bipolar Transistor) - Aufbau und Funktionsprinzip

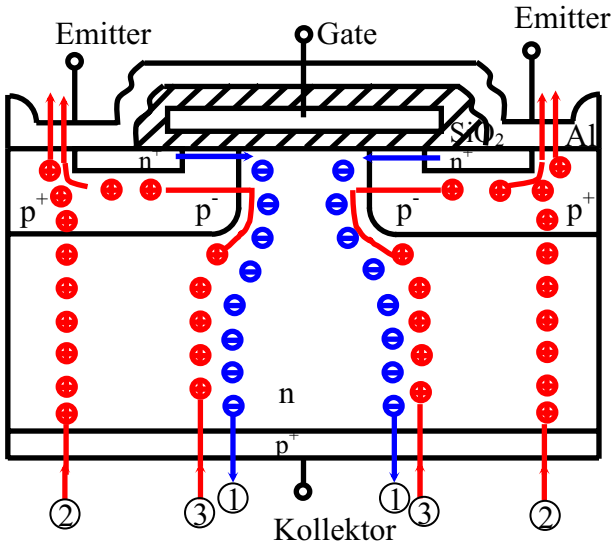


Bild 4.70: Schnitt einer IGBT-Zelle (NPT-Struktur) mit skizzierten Kollektorstromanteilen und Ladungsträgerverteilungen [2]

Die im Bild 4.70 dargestellte Struktur einer IGBT-Zelle ist der Struktur eines Leistungs-MOSFET (s. Bild 4.2) sehr ähnlich. Der Unterschied zwischen den beiden Strukturen liegt daran, dass der IGBT anstatt der unteren n^+-Schicht eine p^+-Schicht besitzt, die mittels Metallisierung zur Kollektorelektrode kontaktiert [45].
Im Durchlassbetrieb treten die durch den n-Kanal fließenden Elektronen in das n^--Driftgebiet ein (Kollektorstromanteil 1 in Bild 4.70) und verursachen eine Löcherinjektion aus dem kollektorseitigen p^+-Gebiet. Die injizierten Löcher fließen vom n^--Driftgebiet weiter zum p^+-Emitter. Der Löcherstrom fließt sowohl direkt vertikal zum p^+-Emitter (Kollektorstromanteil 2) als auch lateral unter dem n-Kanal und unter dem n^+-Source-Gebiet seitlich zum p^+-Emitter (Kollektorstromanteil 3). Wegen der Löcherinjektion findet die Minoritätsträgerüberschwemmung des hochohmigen n^--Gebietes statt, die zur Minderung des n^--Zonen-Widerstandes R_{n^-} führt. Trotz der sich zu der Durchlassspannung addierenden Schleusenspannung des kollektorseitigen pn-Übergangs, resultiert aus der Reduktion des Widerstandes R_{n^-} der n^--Zone eine deutlich bessere im Vergleich zum Leistungs-MOSFET Durchlassspannung bei Hochvoltbauelementen ab ca. 200 V.
Das Ersatzschaltbild einer solchen IGBT-Zelle ist im Bild 4.71 dargestellt. Der Leistungs-MOSFET ist durch einen idealen n-Kanal-MOSFET und durch einen parasitären npn-Transistor ersetzt. Dieser Transistor setzt sich aus den folgenden Schichten zusammen: n^+-Emitterzone (Emitter), p^+-Wanne (Basis) und n^--Driftzone (Kollektor). Der Basis-Emitter-Widerstand R_s des parasitären npn-Transistors ersetzt den lateralen Widerstand der p-Wanne. Außerdem bildet sich aus der Schichtenfolge p^+-Kollektorschicht (Emitter), n^--Driftzone (Basis), p^+-Wanne (Kollektor) ein pnp-Transistor. Der Widerstand R_{n^-} ist im Ersatzschaltbild aus dem Elektronen- und Löcherleitwert zusammengesetzt:

$$\frac{1}{R_{n^-}} = G_n + G_p \qquad (4.129)$$

Die Relation zwischen den beiden Leitwerten ergibt sich durch das Verhältnis zwischen Elektronen- und Löcherbeweglichkeit (s. Kapitel 4.3.5):

$$G_n = \frac{\mu_n}{\mu_p} G_p \tag{4.130}$$

Dieses Verhältnis ist stromabhängig. Das liegt zwischen 3 (für niedrige Kollektorströme) und 2 (für höhere Kollektorströme):

$$G_n = (3...2) \cdot G_p \tag{4.131}$$

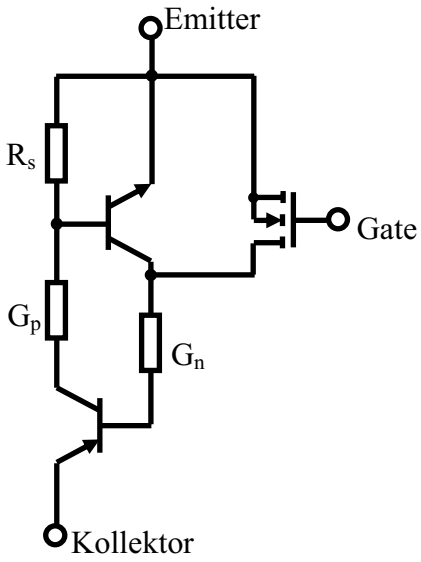


Bild 4.71: Ersatzschaltbild einer IGBT Zelle

Die beiden Transistoren bilden zusammen eine parasitäre Thyristror-Struktur, die beim Einrasten („Latch-up“) zum Verlust der Steuerbarkeit des IGBT und im Grenzfall zur Zerstörung des Bauelementes führt. Zur Verhinderung dieses „Latch up“-Vorganges werden bei modernen IGBTs unterschiedliche Design-Maßnahmen durchgeführt. Zu solchen Maßnahmen gehört unter anderem eine hohe Dotierung der p^+-Wanne direkt unterhalb der n^+-Emitterzone. Diese Dotierung führt zur Verringerung des Basis-Widerstandes R_s des parasitären npn-Transistors.
Außerdem wird die Stromverstärkung des pnp-Transistors möglichst niedrig eingestellt, sodass der Löcherstrom (Basisstrom des npn-Transistors) niedrig bleibt und die Bedingung für das „Latchen“ nicht erfüllt wird. Diese Maßnahme zusammen mit der Forderung nach guten dynamischen Eigenschaften einerseits und die Forderung nach guten Durchlasseigenschaften andererseits stellen ein Optimierungsproblem dar, das bei unterschiedlichen IGBT-Disign-Varianten auf unterschiedliche Weise gelöst wird.

Aus dem oben beschriebenen Funktionsprinzip des IGBT resultiert sein Ausgangskennlinienfeld, das im Bild 4.72 skizziert ist. Im Fall eines n-Kanal-Anreicherungstyp-IGBT (Enhancment IGBT) fließt bei einer angelegten Gate-Emitter-Spannung unterhalb der Gate-Emitter-Schwellenspannung ein sehr niedriger Kollektor-Emitter-Reststrom $I_{CES.}$ Der IGBT befindet sich im Vorwärtssperrzustand.
Den Durchlasszustand erreicht man, wenn die Gate-Emmiter-Schwellenspannung überschritten wird. Bei positiver Kollektor-Emitter-Spannung fließt in diesem Fall ein positiver Kollektorstrom I_C. Dieser Zustand wird durch zwei Kennlinienbereiche beschrieben.

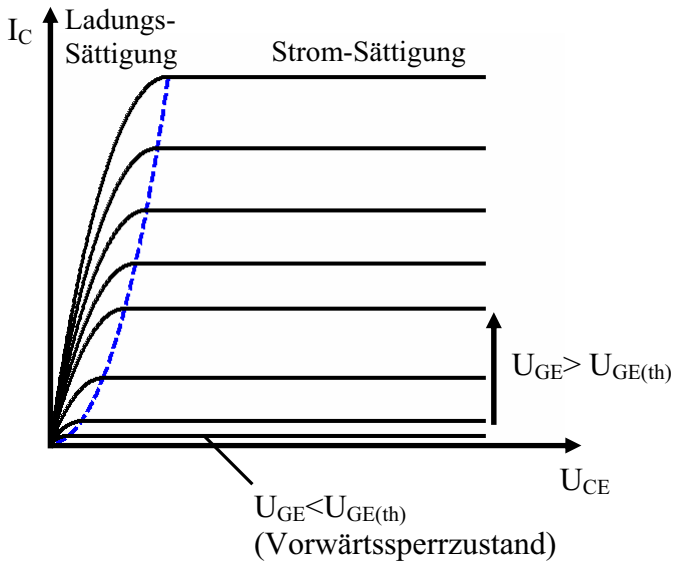


Bild 4.72: Skizziertes Ausgangskennlinienfeld eines IGBT (n-Kanal-Anreicherungstyp)

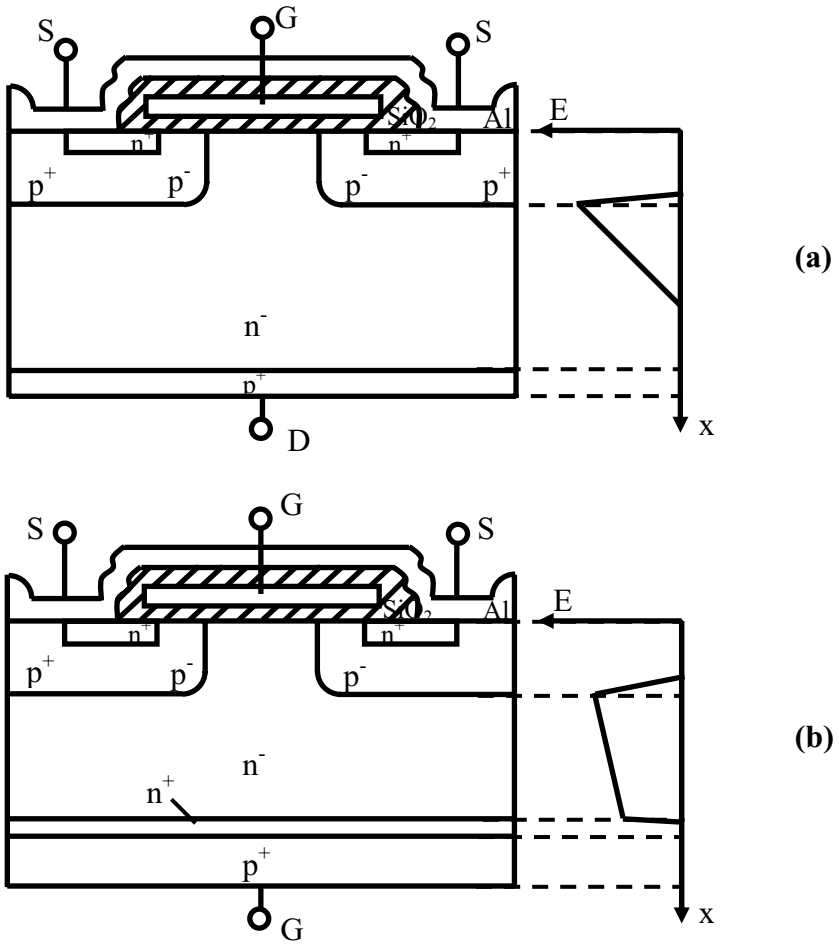


Bild 4.73: IGBT-Konzepte und Feldstärkeverläufe im Sperrzustand [47, 48]:
(a) NPT-IGBT
(b) PT-IGBT

Im Stromsättigungsbereich wird der Kollektorstrom über die Gate-Emitter-Spannung U_{GE} gesteuert. Im Ladungssättigungsbereich wird der Kollektorstrom nur durch den äußeren Stromkreis bestimmt. Die Durchlasseigenschaften des IGBT werden in diesem Bereich durch die Kollektor-Emitter-Sättigungsspannung U_{CEsat} charakterisiert. Aufgrund der Minoritätsträger-Überschwemmung der n^--Driftzone bleibt diese Kollektor-Emitter-Sättigungsspannung deutlich kleiner als der Durchlassspannungsabfall eines vergleichbaren hoch sperrenden MOSFET.
Die im Bild 4.70 dargestellte NPT-IGBT-Struktur („Non Punch Through"-IGBT) wird auf einem dünnen schwach dotierten n-Substrat aufgebaut [46]. Die kollektorseitige p^+-Schicht wird mittels Rückseitenimplantation erzeugt. Die oberen Emitter- und Gate-seitigen Gebiete werden mittels Diffusions- und MOS-Technik realisiert.
Bild 4.73a zeigt den Feldstärkenverlauf in der NPT-Struktur im Vorwärts-Sperrzustand. In dieser Struktur ist die n^--Zone ausreichend dick, um das elektrische Feld bei höchstzulässiger Spannung vollständig in der n^--Driftzone abzubauen. Die dünne implantierte p^+-Schicht mit genauer Konzentrationsprofileinstellung sorgt für einen niedrigen Emitterwirkungsgrad und damit für eine niedrige Stromverstärkung des pnp-Transistors [47, 48].
Das Bild 4.73b zeigt die Struktur eines PT-IGBT („Punch Through"-IGBT) [48, 49]. Der Unterschied zwischen dem oben beschriebenen NPT-IGBT und dem PT-IGBT besteht in einer hoch dotierten n-Schicht („Buffer Layer"), die sich beim PT-IGBT zwischen kollektorseitiger p^+-Schicht und der n^--Zone befindet. Die PT-Struktur wird auf einem hoch dotierten p-Wafer aufgebaut. Die n^+-Schicht und n^--Zone werden auf diesem p^+-Substrat mittels Epitaxie hergestellt. Die oberen Gebiete werden ähnlich wie bei der NPT-Struktur erzeugt. Bild 4.73b zeigt den Feldstärkenverlauf in der PT-Struktur im Vorwärts-Sperrzustand [47, 48]. Die Raumladungszone erstreckt sich in diesem Fall durch das ganze n^--Driftgebiet. Das elektrische Feld wird durch den n^+-Buffer abgebaut. Diese Konstruktion ermöglicht es, die Dicke der n^--Zone dünn zu halten.
Die niedrige Stromverstärkung des pnp-Transistors kann in dieser Struktur durch Einführung der zusätzlichen Rekombinationszentren in der n^--Zone und im n^+-Buffer und damit durch Absenkung der Ladungsträgerlebensdauer erreicht werden.
Diese beiden IGBT-Konzepte können weiter in den Dualen Thyristor-Strukturen mit bipolarer Ladungsträgerüberschwemmung der hochohmigen n^--Zone verwendet werden.

4.3.2 Struktur des Dualen Thyristors mit selbstleitendem planaren IGBT

In den Kapiteln 4.1 und 4.2 wurden Duale Thyristor-Strukturen beschrieben, die einen n-Kanal-Leistungs-JFET als n-Kanal-Teiltransistor enthalten. Wird in diesen Strukturen die anodenseitige n^+-Schicht durch eine hoch dotierte p-Schicht ersetzt, so ergibt sich die Duale Thyristor-Struktur mit selbstleitendem IGBT (NPT-Struktur).
Bild 4.74 zeigt eine Duale Thyristor-Struktur mit selbstleitendem vertikalen IGBT und mit drei parallelen lateralen p-Kanal-JFETs. Die p^+-Source-Gebiete des p-Kanal-JFET sind mittels Metallisierung mit dem n^+-Emittergebiet des IGBT verbunden.
Das Gate-Gebiet des IGBT (p-Wanne rechts) ist zusammen mit den p^+- Drain-Gebieten des p-Kanal-JFET mittels Metallisierung mit der Kathodenelektrode verbunden. Die kollektorseitige p^+-Zone des IGBT ist mittels Metallisierung auf das Anodenpotenzial gesetzt.
Das Ersatzschaltbild einer solchen Dualen Thyristor-Struktur ist ohne Berücksichtigung des parasitären npn-Transistors und der parasitären Widerständen im Bild 4.75a dargestellt. Der Gate-Potenzialabgriff des p-Kanal-Transistors ist auf dem Bild durch eine Potenzialsonde veranschaulicht.
Unter Berücksichtigung der parasitären Thyristor-Struktur, sowie des Driftzonenwiderstandes R_{n^-} und des Basis-Emitter-Widerstandes R_s des parasitären npn-Transistors (er ersetzt den

lateralen Widerstand der p-Wanne) ergibt sich ein komplexes Ersatzschaltbild, das im Bild 4.75b dargestellt ist.
Die IGBT-Funktion kann auch in den Dualen Thyristor-Strukturen mit p-Kanal-SIT eingesetzt werden. Bild 4.76 zeigt eine 200V-Duale-Thyristor-Struktur mit selbstleitendem planaren IGBT und mit drei parallelen p-Kanal-SITs. Diese Struktur ist nach dem PT-Konzept aufgebaut. In dieser PT-Struktur wird die hoch dotierte n-Schicht („Buffer Layer“) zwischen der kollektorseitigen p^+-Schicht und der n^--Zone eingesetzt.
Solche Strukturen können auf der Basis von konventionellen IGBT-Technologien hergestellt werden. Im Fall eines Zweipol-Bauelementes ist allerdings keine MOS-Technik notwendig. Auch das NPT-Konzept kann in solchen Dualen Thyristor-Strukturen mit entsprechenden konventionellen Herstellungsverfahren verwendet werden.

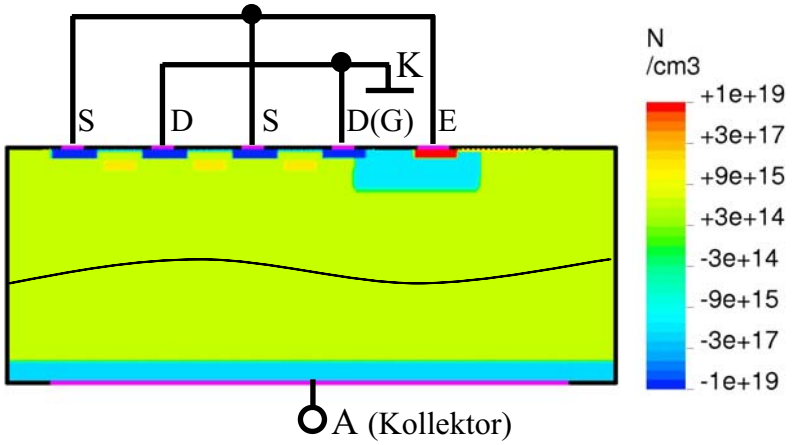


Bild 4.74: 200V-Struktur mit selbstleitendem vertikalen IGBT (mit lateralem n-Kanal) und mit drei parallelen lateralen p-Kanal-JFETs (NPT-Struktur)

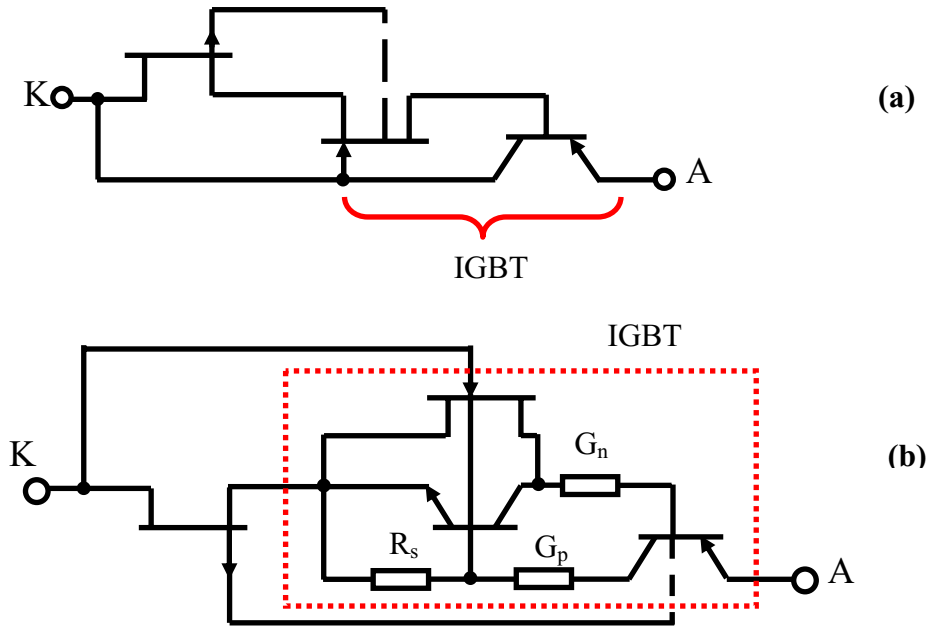


Bild 4.75: Ersatzschaltbild des Dualen Thyristors mit selbstleitendem IGBT und mit lateralem p-Kanal-JFET:
(a) ohne Berücksichtigung von parasitären Elementen
(b) mit Berücksichtigung von parasitärem npn-Transistor und parasitären Widerständen

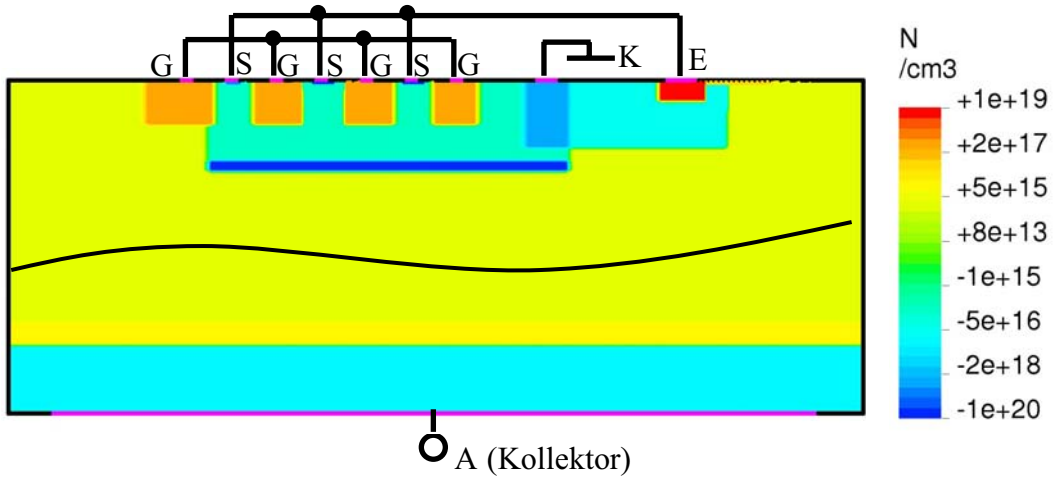
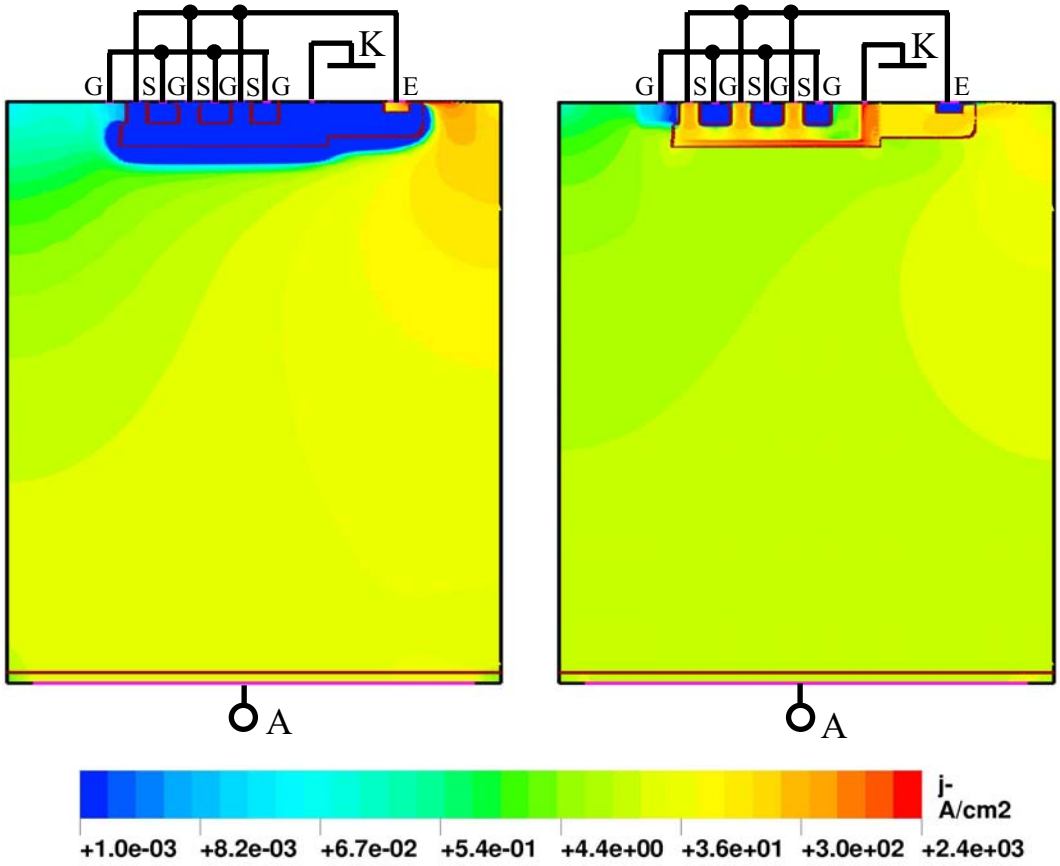
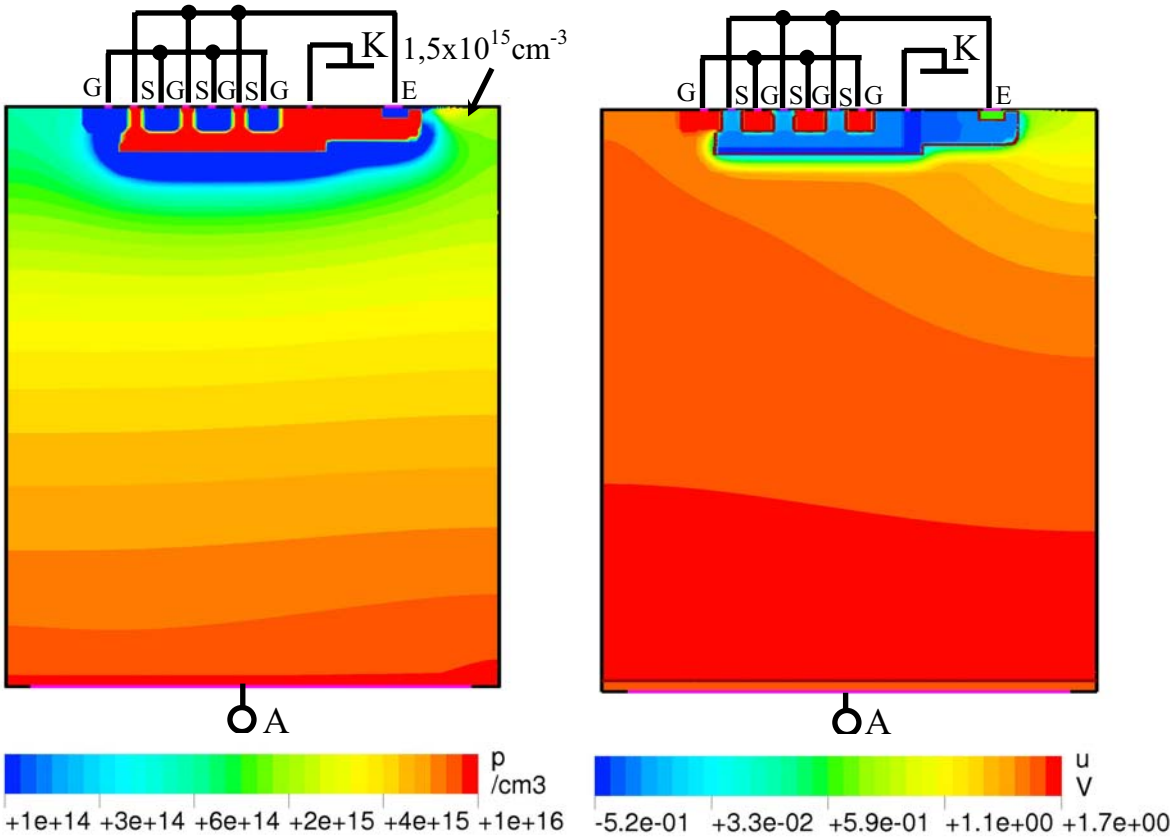


Bild 4.76: 200V-Struktur (PT-Konzept) mit selbstleitendem vertikalen IGBT (mit lateralem n-Kanal) und mit drei parallelen vertikalen p-Kanal-SITs



(a) Elektronenstromdichteverteilung **(b)** Löcherstromdichteverteilung

Bild 4.77: Elektronen- (a) und Löcherstromdichteverteilung (b) in der 600V-Struktur mit selbstleitendem IGBT und drei parallelen p-Kanal-SITs; die Anodenspannung beträgt 2V



(a) Löcherverteilung **(b)** Potenzialverteilung

Bild 4.78: Löcherverteilung (a) und elektrische Potenzialverteilung (b) in der 600V-Struktur mit selbstleitendem IGBT und mit drei parallelen p-Kanal-SITs, die Anodenspannung beträgt 2V

Die Bilder 4.77 und 4.78 veranschaulichen das Funktionsprinzip des Dualen Thyristors mit IGBT-Funktion am Beispiel einer 600V-Struktur mit drei parallelen p-Kanal-SITs.
Bei der positiven Anodenspannung fließt ein Elektronenstrom durch den n-Kanal in das n^--Gebiet des Bauelementes (s. Bild 4.77a). Das verursacht einen Löcherstrom mit entsprechender Löcherinjektion aus dem anodenseitigen p^+-Gebiet (s. Bilder 4.77b und 4.78a). Die injizierten Löcher fließen vom n^--Driftgebiet weiter zum Kathodenanschluss. Der Löcherstrom fließt sowohl direkt vertikal unterhalb der linken p-Wanne durch die Drain-Gebiete des p-Kanal-SIT weiter zur Kathode als auch lateral unter dem n-Kanal und unter dem n^+-Source-Gebiet des n-Kanal-Transistors (in der rechten p-Wanne) seitlich zum Kathodenanschluss.
Bild 4.78a zeigt die Minoritätsträgerüberschwemmung des hochohmigen n^--Gebietes, die aufgrund der Löcherinjektion auftritt. Die Funktion des p-Kanal-Transistors wird durch die Löcherinjektion nicht gestört. Für den hoch sperrenden n-Kanal-Transistor mit großer n^--Breite dient eine Plasmaüberschwemmung zur Verbesserung der Leitfähigkeit und entsprechend zur Verbesserung der Durchlasseigenschaften. Es ist aber zu beachten, dass durch den starken Löcherabfluss an die Katode die sourceseitige Plasmakonzentration niedriger wird (ca. $1{,}5\text{x}10^{15}\text{cm}^{-3}$). Das verschlechtert die Durchlasseigenschaften.
Im Bild 4.79 wird die simulierte Strom-Spannungs-Kennlinie einer 600V-Struktur mit IGBT-Funktion mit der Kennlinie einer aufbaugleichen Dualen Thyristor-Struktur mit unipolarem Leistungs-JFET verglichen. Trotz der sich zu der Durchlassspannung addierenden Schleusenspannung in der Kennlinie des Dualen Thyristors mit selbstleitendem IGBT, resultiert aus der Reduktion des n^--Zone-Widerstandes R_{n^-} eine deutlich bessere Durchlassspannung im Ver-

gleich zu der unipolaren Struktur. Man erreicht für die 600V-Struktur mit IGBT-Funktion eine Stromdichte von 50 A/cm^2 bei einer Durchlassspannung von 2V.
Die Überstrom-Abschaltfunktion bleibt bei diesem Bauelement erhalten. Die Abschaltspannung U_{off} weist kaum Änderung im Vergleich zur Abschaltspannung des Bauelementes ohne IGBT-Funktion auf. Der maximale Strom I_{max} wird aber bei der Struktur mit IGBT-Funktion dreifach höher.

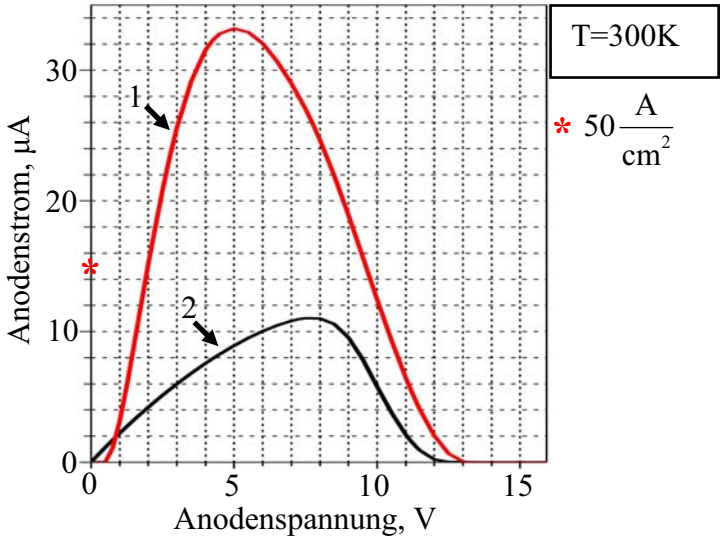


Bild 4.79: Simulierte Strom-Spannungs-Kennlinien des Dualen Thyristors als vertikales 600V-Bauelement mit drei parallelen p-Kanal-SITs:
1- mit selbstleitendem planaren IGBT
2- mit unipolarem n-Kanal-JFET

4.3.3 Stationäres Modell der pin-Diode

Für die Modellbildung des Dualen Thyristors mit selbstleitendem IGBT ist es notwendig, den stromabhängigen Spannungsanteil des plasmaüberschwemmten n$^-$-Gebietes U_{n^-} zu beschreiben.
Zu diesem Zweck betrachten wir das eindimensionale Modell der pin-Diode (s. Bild 4.80).

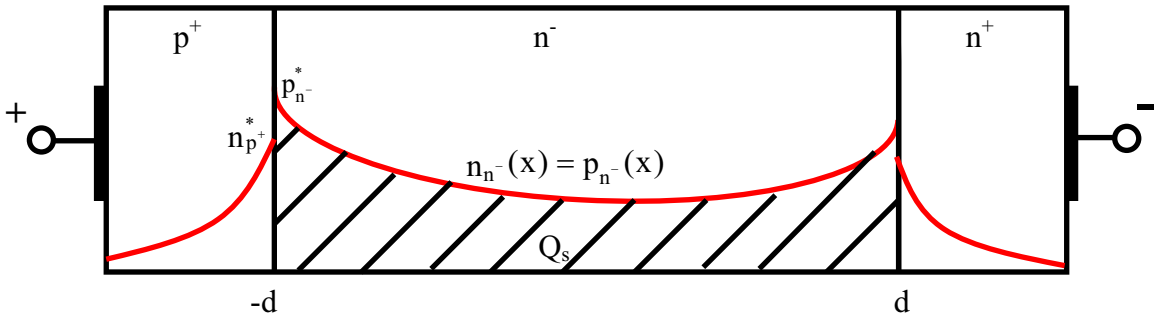


Bild 4.80: Struktur der pin-Diode mit skizzierter Ladungsträgerverteilung im Durchlasszustand

Bei der in Vorwärtsrichtung angelegten Spannung werden Löcher aus dem p$^+$-Gebiet und Elektronen aus dem n$^+$-Gebiet in das mittlere n$^-$-Gebiet injiziert. Diese Injektion führt zu einer

Minoritätsträgerüberschwemmung des n^--Gebietes mit entsprechender Elektronen- und Löcherverteilung $n_{n^-}(x)$ und $p_{n^-}(x)$. Wegen der Ladungsneutralitätsbedingung können diese Ladungsverteilungen gleichgesetzt werden:

$$n_{n^-}(x) = p_{n^-}(x) \tag{4.132}$$

Die Plasmakonzentration wird durch die Funktion $f_1(x)$ beschrieben:

$$p_{n^-}(x) = p^*_{n^-} \cdot f_1(x) \tag{4.133}$$

wobei $p^*_{n^-}$ die Löcherkonzentration im n^--Gebiet im Punkt (-d) ist:

$$p_{n^-}(-d) = p^*_{n^-} \tag{4.134}$$

Die Integration der Funktion (4.133) auf der Gesamtdicke des n^--Gebietes ergibt die Speicherladung Q_s in diesem Gebiet:

$$Q_s = q \int_{-d}^{d} p^*_{n^-} \cdot f_1(x)dx \tag{4.135}$$

Unter Annahme der stromunabhängigen Form der Funktion $f_1(x)$ ergibt sich eine direkte Proportionalität zwischen Speicherladung Q_s und Löcherkonzentration $p^*_{n^-}$ mit einer Proportionalitätskonstante k_1:

$$p^*_{n^-} = k_1 Q_s \tag{4.136}$$

$$k_1 = \frac{1}{q \int_{-d}^{d} f_1(x)dx} \tag{4.137}$$

Neben der Elektronen- und Löcherinjektion in das n^--Gebiet findet auch eine Elektroneninjektion in den p^+-Emitter und eine Löcherinjektion in das n^+-Gebiet statt. Diese Injektion führt zur Minoritätsträgerüberschwemmung dieser Gebiete mit entsprechender Elektronen- und Löcherverteilung $n_{p^+}(x)$ und $p_{n^+}(x)$.
Die Elektronenkonzentration im p^+-Emitter wird durch die Funktion $f_2(x)$ beschrieben:

$$n_{p^+}(x) = n^*_{p^+} \cdot f_2(x) \tag{4.138}$$

wobei $n^*_{p^+}$ die Elektronenkonzentration im p^+-Gebiet im Punkt (-d) ist:

$$n_{p^+}(-d) = n^*_{p^+} \tag{4.139}$$

Unter Berücksichtigung des Massenwirkungsgesetzes erhält man folgende Relation zwischen der Elektronenkonzentration im p^+-Gebiet im Punkt (-d) und der Löcherkonzentration im n^--Gebiet im Punkt (-d):

$$n^*_{p^+} = \frac{1}{p_{p0}} (p^*_{n^-})^2 \tag{4.140}$$

p_{p0} - Majoritätsträgerkonzentration im p^+-Gebiet

Unter Berücksichtigung der direkten Proportionalität zwischen der Speicherladung Q_s und der Löcherkonzentration $p^*_{n^-}$ (s. Gleichung (4.136)) in der Gleichung (4.140) ergibt sich eine direkte Proportionalität zwischen der Elektronenkonzentration $n^*_{p^+}$ und dem Quadrat der Speicherladung Q_s mit einer Proportionalitätskonstante k_2:

$$n^*_{p^+} = k_2 Q_s^2 \tag{4.141}$$

$$k_2 = \frac{k_1^2}{p_{p0}} \tag{4.142}$$

Der gesamte Strom mit der Stromdichte j im Punkt (-d) ist eine Summe vom Diffusionsstrom der Löcher im n^--Gebiet mit Stromdichte j_p und vom Diffusionsstrom der Elektronen im p^+-Gebiet mit Stromdichte j_n:

$$j = j_p(-d) + j_n(-d) \tag{4.143}$$

Der Löcherdiffusionsstrom ist reiner Rekombinationsstrom im n^--Gebiet:

$$j_p(-d) = \frac{Q_s}{\tau} \tag{4.144}$$

τ - Lebensdauer der Löcher im mittleren n^--Gebiet

Der Diffusionsstrom der Elektronen im p^+-Gebiet ist proportional zum Gradienten der Elektronenkonzentration in diesem Gebiet:

$$j_n(-d) = qD_n \left.\frac{dn_{p^+}(x)}{dx}\right|_{x=-d} \tag{4.145}$$

D_n - Diffusionskoeffizient der Elektronen im p^+-Gebiet

Unter Annahme der stromunabhängigen Form der Funktion $n_{p^+}(x)$ (s. Gleichung (4.138)) und unter Berücksichtigung der Gleichung (4.141) ergibt sich eine Proportionalität zwischen dem Elektronendiffusionsstrom und dem Quadrat der Speicherladung Q_s mit einer Proportionalitätskonstante k_3:

$$j_n(-d) = k_3 Q_s^2 \tag{4.146}$$

$$k_3 = q D_n k_2 \left.\frac{df_2}{dx}\right|_{x=-d} \tag{4.147}$$

Die Gleichung (4.143) für den gesamten Strom lässt sich unter Berücksichtigung beider Stromanteile (laut Gleichungen (4.144) und (4.146)) in folgender Form zusammenstellen:

$$j = \frac{Q_s}{\tau} + k_3 Q_s^2 \tag{4.148}$$

Diese Gleichung kann als quadratische Gleichung dargestellt werden, die nach Q_s aufgelöst wird:

$$Q_s^2 + \frac{Q_s}{\tau\, k_3} - \frac{j}{k_3} = 0 \tag{4.149}$$

$$Q_s = -\frac{1}{2k_3\tau} + \frac{1}{2k_3\tau}\sqrt{1 + 4\tau^2 k_3 j} \tag{4.150}$$

Der Spannungsabfall über dem p^+-seitigen pn-Übergang U_j lässt sich unter Annahme des Bolzmanschen Quasi-Gleichgewichtes im p^+-Gebiet wie folgt darstellen:

$$U_j = V_T \ln \frac{n^*_{p^+}}{n_{p0}} \tag{4.151}$$

n_{p0} - Minoritätsträgerkonzentration im p^+-Gebiet

Unter Berücksichtigung der Proportionalität zwischen der Elektronenkonzentration $n^*_{p^+}$ und dem Quadrat der Speicherladung Q_s (laut Gleichung (4.141)) ergibt sich der Spannungsabfall U_j als Funktion der Speicherladung Q_s:

$$U_j = V_T \ln \frac{k_2 Q_s^2}{n_{p0}} \tag{4.152}$$

Der Spannungsabfall über dem mittleren n^--Gebiet U_{n^-} kann unter Vernachlässigung des Unterschiedes zwischen der Elektronen- und Löcher Beweglichkeit und unter Annahme des konstanten Verlaufes des elektrischen Feldes im n^--Gebiet mit folgender Gleichung beschrieben werden:

$$U_{n^-} = \frac{j}{k_4(\mu_n + \mu_p) Q_s} \tag{4.153}$$

μ_n - Elektronenbeweglichkeit im n^--Gebiet
μ_p - Löcherbeweglichkeit im n^--Gebiet

Die Proportionalitätskonstante k_4 berücksichtigt die Dicke des n^--Gebietes:

$$k_4 = \frac{1}{4d^2} \tag{4.154}$$

Für die weitere Betrachtung der Funktionen $U_j(j)$ und $U_{n^-}(j)$ wird die Funktion $Q_s(j)$ in der Gleichung (4.150) analysiert.
Man unterscheidet zwei Fälle:

a) Starke Injektion in das p^+-Gebiet (Fall des schwachen p^+-Emitters) und schwache Rekombination im mittleren n^--Gebiet (**Fall A)**

b) Schwache Injektion in das p^+-Gebiet (Fall des starken p^+-Emitters) und starke Rekombination im mittleren n^--Gebiet (**Fall B)**

Im **Fall A** sind die Koeffizienten k_3 und τ so groß, dass in der Gleichung (4.150) der zweite Term unter der Wurzel deutlich größer als Eins ist:

$$4\tau^2 k_3 j >> 1 \tag{4.155}$$

Unter dieser Bedingung lässt sich die Eins unter der Wurzel in der Gleichung (4.150) vernachlässigen. Damit lässt sich die Funktion $Q_s(j)$ in folgender Form darstellen:

$$Q_s = \sqrt{\frac{j}{k_3}}\left(1 - \frac{1}{2\sqrt{k_3}\tau\sqrt{j}}\right) \tag{4.156}$$

Durch Einsetzen dieser Funktion in die Gleichung (4.152) gewinnt man unter Berücksichtigung der Bedingung (4.155) die Funktion $U_j(j)$ für den **Fall A** (der zweite Term in den Klammern in der Beziehung (4.156) wird vernachlässigt):

$$U_j = V_T \ln\left(\frac{k_2 j}{k_3 n_{p0}}\right) \tag{4.157}$$

Diese schwache logarithmische Funktion $U_j(j)$ kann zur Vereinfachung des Modells der pin-Diode durch eine Schwellenspannung U_s ersetzt werden, die als zusätzlicher Parameter des Modells interpretiert wird.

Unter Berücksichtigung der Funktion $Q_s(j)$ (s. Gleichung (4.156)) in der Gleichung (4.153) erhält man die Funktion $U_{n^-}(j)$ für den **Fall A**:

$$U_{n^-} = \sqrt{j}\,\frac{\sqrt{k_3}}{k_4\left(\mu_n + \mu_p\right)}\left(1 - \frac{1}{2\sqrt{k_3}\tau\sqrt{j}}\right)^{-1} \tag{4.158}$$

Nach der Taylor-Entwicklung der Funktion $\left(1 - \frac{1}{2\sqrt{k_3}\tau\sqrt{j}}\right)^{-1}$ unter Bedingung (4.155) ergibt sich die Funktion $U_{n^-}(j)$ für den **Fall A** näherungsweise in folgender Form:

$$U_{n^-} = \frac{\sqrt{k_3}}{k_4\left(\mu_n + \mu_p\right)}\sqrt{j} + \frac{1}{2\tau\, k_4\left(\mu_n + \mu_p\right)} \tag{4.159}$$

Eine parabolische Strom-Spannungs-Charakteristik ist in diesem Fall festzustellen:

$$U_{n^-} = c_2 \sqrt{I_A} + c_3 \tag{4.160}$$

$$c_2 = \frac{\sqrt{k_3}}{k_4 (\mu_n + \mu_p) \sqrt{S}} \tag{4.161}$$

$$c_3 = \frac{1}{2\tau k_4 (\mu_n + \mu_p)} \tag{4.162}$$

$$I_A = j \cdot S \quad \text{-Diodenstrom} \tag{4.163}$$

S- Diodenfläche

Im **Fall B** sind die Koeffizienten k_3 und τ so klein, dass in der Gleichung (4.150) der zweite Term unter der Wurzel deutlich kleiner als Eins ist:

$$4\tau^2 k_3 j << 1 \tag{4.164}$$

Unter dieser Bedingung lässt sich die Funktion $Q_s(j)$ nach der Taylor-Entwicklung der Wurzel-Funktion $\sqrt{1 + 4\tau^2 k_3 j}$ in der Gleichung (4.150) näherungsweise in folgender Form darstellen:

$$Q_s = \tau \cdot j \tag{4.165}$$

Durch Einsetzen dieser Funktion in die Gleichungen (4.152) und (4.153) ergibt sich die Stromabhängigkeit der Spannungen U_j und U_{n^-}:

$$U_j = 2V_T \ln\left(\sqrt{\frac{k_2}{n_{p0}}} \cdot \tau \cdot j \right) \tag{4.166}$$

$$U_{n^-} = \frac{1}{k_4 (\mu_n + \mu_p) \tau} \tag{4.167}$$

Die Strom-Spannungs-Charakteristik des anodenseitigen pn-Übergangs entspricht im **Fall B** der Kennliniengleichung einer Rekombinationsdiode mit Nichtidealitätsfaktor 2. Ähnlich wie im Fall A kann im **Fall B** die schwache logarithmische Funktion $U_j(j)$ zur Vereinfachung des Modells der pin-Diode durch eine Schwellenspannung U_s ersetzt werden, die als zusätzlicher Parameter des Modells interpretiert wird.
Der Spannungsabfall über dem mittleren n^--Gebiet ist im **Fall B** stromunabhängig.

Zusammengefasst hat die oben beschriebene Modellanalyse zu den folgenden Ergebnissen geführt:

- Im Fall eines schwachen p^+-Emitters und einer niedrigen Rekombination im mittleren n^--Gebiet (**Fall A**) ist der Spannungsabfall über dem mittleren n^--Gebiet eine Wurzel-Funktion des Stromes
- Im Fall eines starken p^+-Emitters und einer starken Rekombination im mittleren n^--Gebiet (**Fall B**) ist der Spannungsabfall auf dem mittleren n^--Gebiet stromunabgängig

- Im **Fall A** hat die Strom-Spannungs-Charakteristik des anodenseitigen pn-Überganges die Form einer Diodengleichung mit Nichtidealitätsfaktor 1.
- Im **Fall B** wird die Strom-Spannungs-Charakteristik des anodenseitigen Überganges durch die Diodengleichung einer Rekombinationsdiode mit Nichtidealitätsfaktor 2 beschrieben.
- Im **Fall A** kann die Strom-Spannungs-Kennlinie der pin-Diode mit Hilfe von zwei Integrationsparametern (k_2 und k_3) und mit Hilfe von fünf weiteren physikalischen Parametern (k_4, τ, μ_n, μ_p, n_{p0}) beschrieben werden. Wird der Spannungsabfall auf dem anodenseitigen pn-Übergang durch den Spannungsabfall einer idealen Diode mit Schwellenspannung U_s ersetzt, kann die Strom-Spannungs-Kennlinie der pin-Diode in diesem Fall mit Hilfe von insgesamt sechs Parametern beschrieben werden (U_s, k_3, k_4, τ, μ_n, μ_p).
- Im **Fall B** kann die Strom-Spannungs-Kennlinie der pin-Diode mit Hilfe von einem Integrationsparameter k_2 und mit Hilfe von fünf weiteren physikalischen Parametern (k_4, τ, μ_n, μ_p, n_{p0}) beschrieben werden. Wird der Spannungsabfall auf dem anodenseitigen pn-Übergang durch den Spannungsabfall einer idealen Diode mit Schwellenspannung U_s ersetzt, kann die Strom-Spannungs-Kennlinie der pin-Diode mit Hilfe von insgesamt fünf Parametern beschrieben werden (U_s, k_4, τ, μ_n, μ_p).

Entsprechend den vorgestellten Ergebnissen kann die pin-Diode in Durchlassrichtung in beiden Fällen durch eine Serienschaltung des stromabhängigen Widerstandes mit dem stromabhängigen Spannungsabfall $U_{n^-}(j)$ und der Diode mit dem stromabhängigen Spannungsabfall $U_j(j)$ ersetzt werden (s. Bild 4.81):

$$U_{pin}(j) = U_{n^-}(j) + U_j(j) \tag{4.168}$$

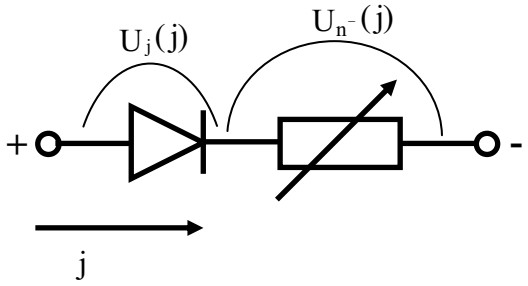


Bild 4.81: Ersatzschaltbild einer pin-Diode

4.3.4 Stationäres Modell des Dualen Thyristors mit selbstleitendem IGBT und mit p-Kanal-SIT

Für die Modellbildung des Dualen Thyristors mit selbstleitendem IGBT betrachten wir den IGBT als Kombination von zwei in Serien geschalteten Komponenten: pin-Diode und n-Kanal-JFET. Außerdem ist der n-Kanal-JFET mit dem p-Kanal-JFET in die Duale Thyristor-Schaltung geschlossen.
Entsprechend dieser Betrachtung wird die Ersatzschaltung des Dualen Thyristors mit selbstleitendem IGBT im Bild 4.82 dargestellt.
Wenn anstatt des p-Kanal-JFET der p-Kanal-SIT eingesetzt wird, kann im Ersatzschaltbild des Dualen Thyristors der p-Kanal-SIT durch eine spannungsgesteuerte Spannungsquelle ersetzt werden (s. Bild 4.83).
Für die weitere Modellbildung betrachten wir den Dualen Thyristor mit p-Kanal-SIT.

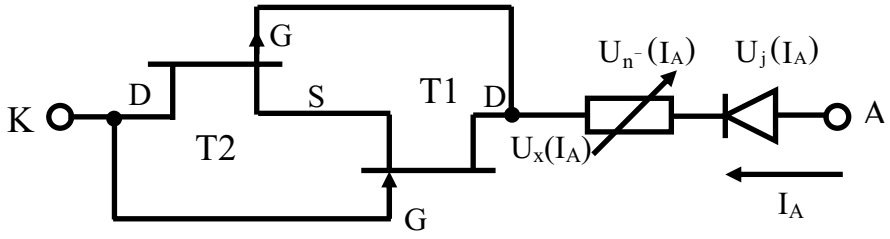


Bild 4.82: Ersatzschaltbild des Dualen Thyristors mit selbstleitendem IGBT und mit p-Kanal- JFET

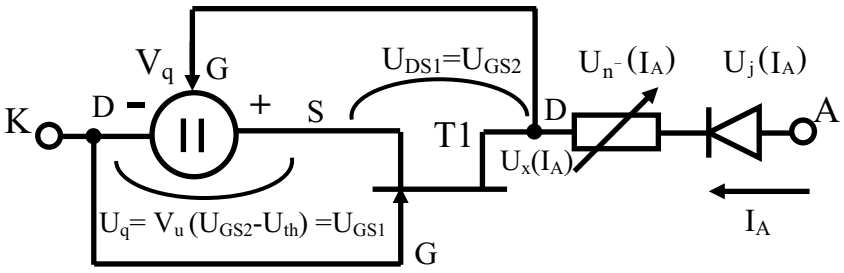


Bild 4.83: Ersatzschaltbild des Dualen Thyristors mit selbstleitendem IGBT und mit p-Kanal-SIT

Da das Modell des Dualen Thyristors mit selbstleitendem IGBT sich von dem Modell des Dualen Thyristors ohne IGBT-Funktion und mit berücksichtigtem n^--Substrat-Widerstand R_{n^-} (s. Kapitel 4.2.12) nur im Spannungsabfall über dem Widerstand R_{n^-} und im Spannungsabfall über dem anodenseitigen pn-Übergang unterscheidet (vgl. Ersatzschaltbilder 4.61 und 4.83), können prinzipiell die im Kapitelabschnitt 4.2.12 gewonnenen Strom-Spannungs-Gleichungen auch für das Modell des Dualen Thyristors mit IGBT-Funktion übernommen werden, indem der Spannungsabfall über dem Widerstand R_{n^-} durch den Spannungsabfall über der pin-Diode ersetzt wird. Dabei bleiben die den Zuständen der Teiltransistoren entsprechende Spannungs- und Strombereiche unverändert.
Außerdem muss bei dem Dualen Thyristor mit IGBT-Funktion der Zustand des anodenseitigen pn-Überganges berücksichtigt werden. Wir betrachten zur Vereinfachung des Modells diesen pn-Übergang als ideale Diode mit Schwellenspannung U_s. Die Kennlinie dieser Diode wird wie folgt beschrieben:

$$I_A = \begin{cases} 0, U_j \le U_s \\ \infty, U_j > U_s \end{cases} \tag{4.169}$$

Für die weitere Modellanalyse betrachten wir den Relationsfall 1 ($U_{th} < |U_{p1}|$). Diesem Relationsfall wurden die Kennlinien der untersuchten Strukturen zugeordnet.
In Hinsicht auf die Zustände der Teilkomponenten des Dualen Thyristors unterscheidet man vier Fälle:

1. Die Spannung des anodenseitigen pn-Überganges ist kleiner als die Schwellenspannung U_s (**Fall 1**).
2. Die Spannung des anodenseitigen pn-Überganges ist größer als die Schwellenspannung U_s; die Gate-Spannung U_{GS2} der Spannungsquelle V_q ist kleiner als die Schwellenspannung U_{th}; der n-Kanal-Transistor befindet sich im Triodenbereich (**Fall 2**).
3. Die Gate-Spannung U_{GS2} ist größer als die Schwellenspannung U_{th}; der n-Kanal-Transistor befindet sich im Triodenbereich (**Fall 3**).

4. Die Gate-Spannung U_{GS2} ist größer als die Schwellenspannung U_{th}; der n-Kanal-Transistor befindet sich im Sättigungsbereich (**Fall 4**).

Für die weitere Modellanalyse betrachten wir eine Struktur mit schwachem p^+-Emitter (mit starker Injektion aus dem n^--Gebiet in das p^+-Emitter) und einer niedrigen Rekombination im mittleren n^--Gebiet (mit hoher Ladungsträgerlebensdauer τ). Das entspricht dem Fall A im Kapitel 4.3.3. Solche Strukturen entsprechen dem heutigen Stand der IGBT-Technik.
Fall B wird im Anhang B ausführlich beschrieben.

Fall 1 tritt auf, wenn folgende Bedingung erfüllt ist:

$$U_{AK} < U_s \text{ –Bereich 1} \tag{4.170}$$

In diesem Fall fließt kein Strom durch die Struktur (s. Bild 4.84):

$$I_A = 0 \tag{4.171}$$

Fall 2 tritt auf, wenn folgende Bedingungen erfüllt sind:

$$\begin{cases} U_{AK} \geq U_s \\ U_x \leq U_{th} \quad \text{-Bereich 2} \\ I_A \leq I_{A1} \end{cases} \tag{4.172}$$

$$I_{A1} = c_1\left(U_{p1}^2 - \left(\left|U_{p1}\right| - U_{th}\right)^2\right) \tag{4.173}$$

Die Strom-Spannungs-Kennlinie des Dualen Thyristors im Bereich 2 beschreibt folgende Beziehung, die von der Gleichung (4.95) durch die oben beschriebene Korrektur der Spannungsanteile abgeleitet ist:

$$U_{AK} = \left|U_{p1}\right| - \sqrt{U_{p1}^2 - \frac{I_A}{c_1}} + c_2\sqrt{I_A} + c_3 + U_s \tag{4.174}$$

$$c_1 = \frac{I_{p1}}{U_{p1}^2} \tag{4.175}$$

$$c_2 = \frac{\sqrt{k_3}}{k_4\left(\mu_n + \mu_p\right)\sqrt{S}} \tag{4.176}$$

$$c_3 = \frac{1}{2\tau k_4\left(\mu_n + \mu_p\right)} \tag{4.177}$$

S- Fläche des Bauelementes

Die erste Ableitung der Funktion $U_{AK}(I_A)$ nach I_A ergibt den differentiellen Durchlasswiderstand r_{on}:

$$r_{on} = \frac{1}{2\sqrt{U_{p1}^2 - \frac{I_A}{c_1}}} + \frac{c_2}{2\sqrt{I_A}} \tag{4.178}$$

Der Verlauf der Strom-Spannungs-Kennlinie des Dualen Thyristors ist im Bild 4.84 dargestellt.
Die Modellanalyse im Bereich 2 zeigt, dass der statische und der differenzielle Durchlasswiderstand im Vergleich zum Bauelement mit unipolarem n-Kanal-JFET deutlich reduziert sind. Während bei einer Hochvolt-Struktur mit unipolarem n-Kanal-JFET mit niedriger Dotierung und großer Dicke der n^--Zone der an dem n^--Gebiet abfallende Durchlassspannungsanteil in der gesamten Durchlassspannung dominiert, wird der Spannungsanteil beim aufbaugleichen Bauelement mit IGBT-Funktion vergleichbar mit dem Durchlassspannungsanteil der beiden Kanäle oder sogar kleiner als der Durchlassspannungsanteil.

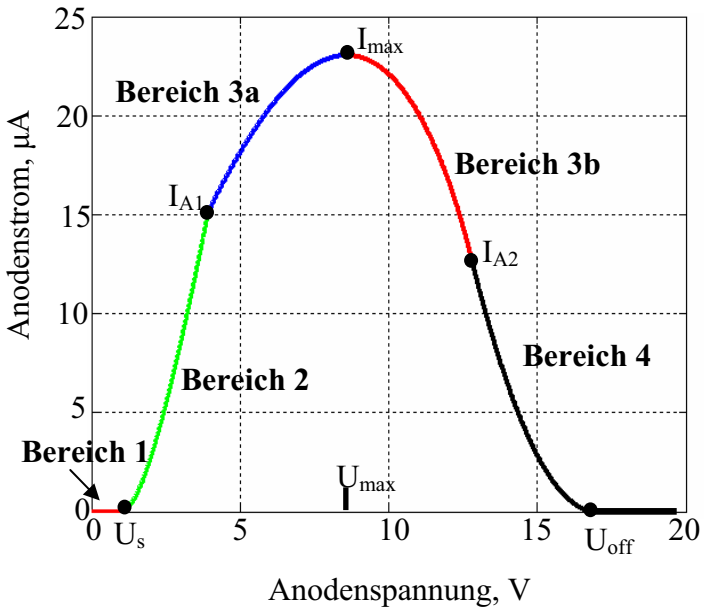


Bild 4.84: Mit den Modellgleichungen berechnete Strom-Spannungs-Kennlinie des Dualen Thyristors mit IGBT-Funktion für den **Fall A** bei Vorgabe der notwendigen Parameter:

V_u=2, U_{th}=1V, I_{p1} =8x10^{-5} A, U_{p1} = -10V, c_2=500 $\frac{V}{\sqrt{A}}$, c_3 =0,2V, U_s=0.8V

Fall 3 (die Gate-Spannung U_{GS2} größer als die Schwellenspannung U_{th}; Transistor T1 im Triodenbereich) erfordert folgende Bedingung:

$$U_{th} < U_x \leq \left| U_{p1} \right| \quad \text{- Bereich 3} \tag{4.179}$$

Die Strom-Spannungs-Kennlinie des Dualen Thyristors im Bereich 3 beschreibt folgende Beziehung, welche von der Gleichung (4.107) durch die oben beschriebene Korrektur der Spannungsanteile abgeleitet ist:

$$U_{AK} = \frac{b \mp \sqrt{b^2 - 4a\frac{I_A}{c_1}}}{2a} - V_u U_{th} + c_2\sqrt{I_A} + c_3 + U_s \tag{4.180}$$

$$a = \frac{1+2V_u}{(1+V_u)^2} \tag{4.181}$$

$$b = \frac{2(|U_{p1}| + V_u U_{th})}{1+V_u} \tag{4.182}$$

Die Koeffizienten c_1, c_2, c_3 sind oben beschrieben (s. **Fall 1**).

Die erste Ableitung dieser Funktion nach I_A ergibt den differenziellen Widerstand r_d im Bereich 2:

$$r_d = \frac{dU_{AK}}{dI_A} = \pm \frac{1}{c_1\sqrt{b^2 - 4a\frac{I_A}{c_1}}} + \frac{c_2}{2\sqrt{I_A}} \tag{4.183}$$

Der differenzielle Widerstand r_d geht gegen Unendlich, wenn das Polynom unter der Wurzel in der Beziehung (4.183) Null wird. Dieser Punkt entspricht dem Maximum der Funktion $I_A(U_{AK})$ im Bereich 3:

$$I_{max} = c_1\frac{b^2}{4a} \tag{4.184}$$

$$U_{max} = \frac{b}{2a} - V_u U_{th} + c_2\frac{b}{2}\sqrt{\frac{c_1}{a}} + c_3 + U_s \tag{4.185}$$

Der maximale Strom I_{max} wird nur durch die Parameter der Teiltransistoren T1 und T2 beschrieben. Die maximale Spannung U_{max} steigt mit der Erhöhung des Parameters c_2 (s. Gleichung (4.161)).

Vor dem Erreichen der maximalen Spannung U_{max} wird die Strom-Spannungs-Kennlinie durch Gleichung (4.180) mit einem Minuszeichen vor der Wurzel beschrieben:

$$U_{AK} = \frac{b - \sqrt{b^2 - 4a\frac{I_A}{c_1}}}{2a} - V_u U_{th} + c_2\sqrt{I_A} + c_3 + U_s \tag{4.186}$$

Diese Funktion beschreibt die Strom-Spannungs-Kennlinie des Dualen Thyristors im Anodenstrombereich 3a (s. Bild 4.84):

$$I_{A1} \le I_A \le I_{max} \quad \text{-Anodenstrombereich 3a} \tag{4.187}$$

Diesem Bereich entspricht der positive differenzielle Widerstand r_d, der nach Gleichung (4.183) mit dem Pluszeichen vor der Wurzel beschrieben wird:

$$r_d = \frac{1}{c_1\sqrt{b^2 - 4a\frac{I_A}{c_1}}} + \frac{c_2}{2\sqrt{I_A}} \tag{4.188}$$

Nach dem Erreichen der maximalen Spannung U_{max} wird die Strom-Spannungs-Kennlinie nach Gleichung (4.180) mit dem Pluszeichen vor der Wurzel beschrieben:

$$U_{AK} = \frac{b + \sqrt{b^2 - 4a\dfrac{I_A}{c_1}}}{2a} - V_u U_{th} + c_2\sqrt{I_A} + c_3 + U_s \tag{4.189}$$

Diese Funktion beschreibt die Kennlinie des Dualen Thyristors im Anodenstrombereich 3b (s. Bild 4.84):

$$I_{A2} \le I_A \le I_{max} \quad \text{-Anodenstrombereich 3b} \tag{4.190}$$

$$I_{A2} = \frac{c_1}{(1+V_u)^2}\left(V_u U_{th} + \left|U_{pl}\right|\right)^2 \tag{4.191}$$

Dem Bereich 3b entspricht der Widerstand r_d, der nach Gleichung (4.183) mit Minuszeichen vor der Wurzel beschrieben wird:

$$r_d = -\frac{1}{c_1\sqrt{b^2 - 4a\dfrac{I_A}{c_1}}} + \frac{c_2}{2\sqrt{I_A}} \tag{4.192}$$

Im Kapitel 4.2.12 zeigten wir, dass der differenzielle Widerstand r_d nur bei ausreichend hohem Widerstand R_{n^-} Null wird. Da die Höhe des plasmaüberschwemmten Widerstandes $R_{n^-}(I_A)$ prinzipiell deutlich niedriger als die Höhe des Widerstandes im unipolaren Fall ist, wird die Bedingung für diesen Sonderfall nicht erfüllt und bei weiterer Erhöhung der Anodenspannung U_{AK} der Fall 4 auftritt.

Fall 4 (die Gate-Spannung U_{GS2} größer als die Schwellenspannung U_{th}; Transistor T1 im Sättigungsbereich) ist unter folgenden Bedingungen erfüllt:

$$U_x \ge \left|U_{pl}\right| \quad \text{- Bereich 4} \tag{4.193}$$

$$I_A > I_{A2} \quad \text{- Anodenstrom-Bereich 4} \tag{4.194}$$

Die Kennlinie des Dualen Thyristors im Bereich 4 wird durch folgende Gleichung beschrieben. Sie ist abgeleitet von der Gleichung (4.126) durch oben beschriebene Korrektur der Spannungsanteile:

$$U_{AK} = U_{th} - \frac{1+V_u}{V_u}\left(\sqrt{\frac{I_A}{k_1}} - \left|U_{pl}\right|\right) + c_2\sqrt{I_A} + c_3 + U_s \tag{4.195}$$

Die erste Ableitung dieser Funktion nach I_A ergibt den differenziellen Widerstand r_d im Bereich 4:

$$r_d = -\frac{1+V_u}{2V_u\sqrt{k_1 I_A}} + \frac{c_2}{2\sqrt{I_A}} \tag{4.196}$$

Dieser Widerstand bleibt negativ, bis der Anodenstrom I_A Null wird. Das bedeutet, dass die Funktion $I_A(U_{AK})$ eine abfallende Funktion bleibt, bis die Anodenspannung eine Abschaltspannung U_{off} erreicht, bei der der Anodenstrom Null wird (s. Bild 4.84):

$$U_{off} = \frac{1+V_u}{V_u}\left|U_{pl}\right| + U_{th} + c_3 + U_s \tag{4.197}$$

Diese Abschaltspannung U_{off} unterscheidet sich von der Abschaltspannung U_{off} des Modells des Dualen Thyristors ohne Widerstand R_{n^-} (s. Gleichung (4.67)) nur um den kleinen Betrag (c_3+U_s).

Bevor wir mit der Verifikation der Modellparameter durch einen Modell-Simulations-Vergleich beginnen, soll ein weiterer Effekt berücksichtigt werden, dessen Wirkung auf die Kennlinie des Bauelementes relativ groß ist.

4.3.5 Wirkung des p^+-Emitters des pnp-Transistors auf die Strom-Spannungs-Kennlinie des Dualen Thyristors mit IGBT-Funktion

Die im Bild 4.85 und im Bild 4.86 dargestellten Ergebnissen zeigen, dass die Änderung des Emitterwirkungsgrades des pnp-Transistors (s. Ersatzschaltbild 4.75) die Kennlinie des Dualen Thyristors beeinflusst. Bei einer Erhöhung der Emitterdotierung N_E (Dotierung des unteren p^+-Gebietes) oder bei einer Erhöhung der Emitterdicke W_E wird neben einer Verbesserung der Durchlasseigenschaften auch eine Erhöhung des maximalen Stromes I_{max} festgestellt.
Um diesen Effekt zu berücksichtigen wird im Modell ein zusätzlicher Parameter eingeführt**.**

Bei der in Vorwärtsrichtung angelegten Spannung werden Löcher aus dem p^+-Gebiet in das n^--Gebiet injiziert (s. Bild 4.87). Diese Injektion führt zur Minoritätsträgerüberschwemmung des n^--Gebietes mit entsprechender Elektronen- und Löcherverteilung $n_{n^-}(x)$ und $p_{n^-}(x)$.
Nach der Ladungsneutralitätsbedingung können diese Ladungsverteilungen gleichgesetzt werden:

$$n_{n^-}(x) = p_{n^-}(x) \tag{4.198}$$

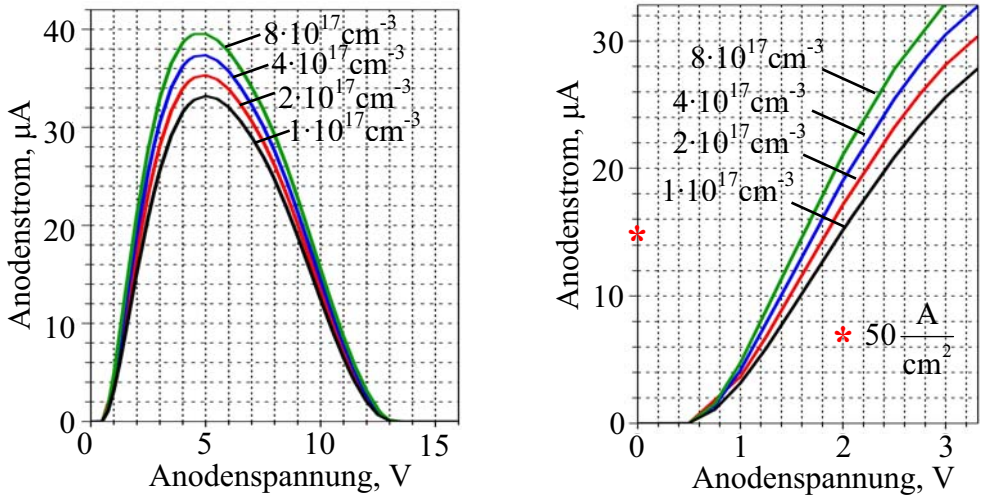
Die Plasmakonzentration wird durch die Funktion $f_1(x)$ beschrieben:

$$p_{n^-}(x) = p^*_{n^-} \cdot f_1(x) \tag{4.199}$$

wobei $p^*_{n^-}$ die Löcherkonzentration im n^--Gebiet im Punkt 0 ist:

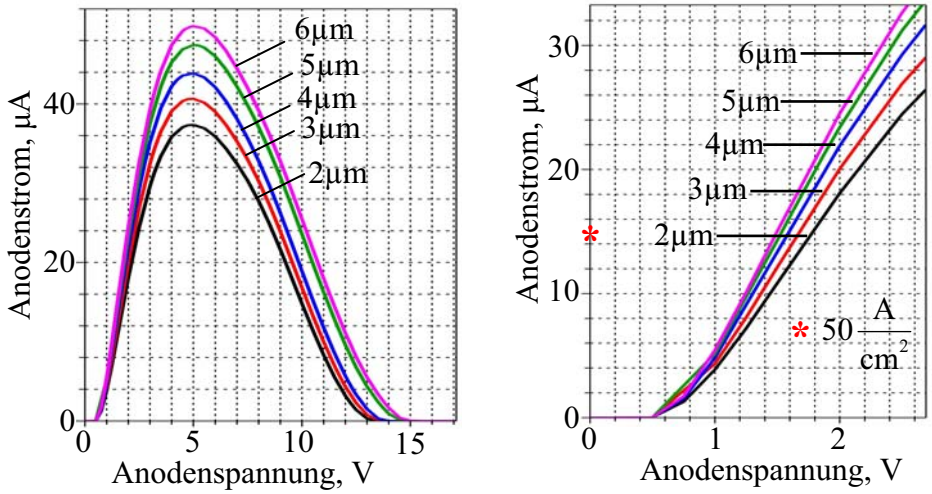
$$p_{n^-}(0) = p^*_{n^-} \tag{4.200}$$

Neben der Löcherinjektion in das n^--Gebiet findet auch Elektroneninjektion in den p^+-Emitter statt. Diese Injektion führt zur Minoritätsträgerüberschwemmung des Gebietes mit entsprechender Elektronenverteilung $n_{p^+}(x)$.



(a) gesamte Kennlinie **(b)** Durchlassbereich

Bild 4.85: Simulierte Strom-Spannungs-Kennlinien der 600V- Struktur mit selbstleitendem IGBT und mit drei parallelen p-Kanal-SITs bei Variation des Emitterwirkungsgrades durch Variation der Emitterdotierung



(a) Gesamte Kennlinie **(b)** Durchlassbereich

Bild 4.86: Simulierte Strom-Spannungs-Kennlinien der 600V- Struktur mit selbstleitendem IGBT und mit drei parallelen p-Kanal-SITs bei Variation des Emitterwirkungsgrades durch Variation der Emitterdicke

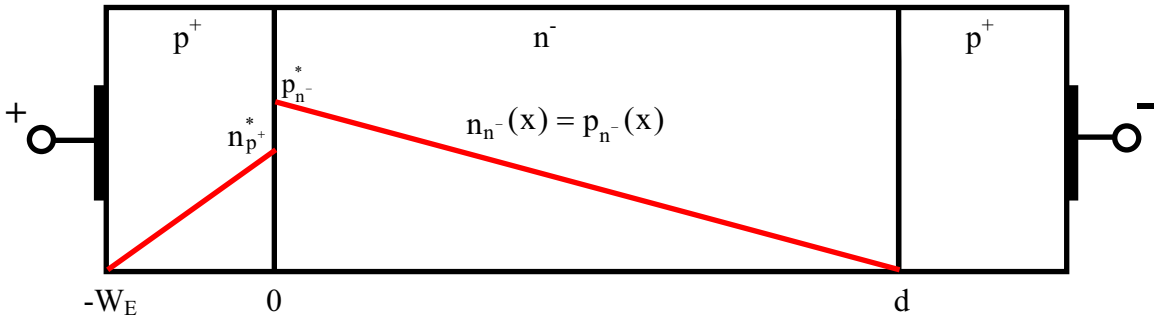


Bild 4.87: Struktur des pnp-Transistors mit skizzierter Ladungsträgerverteilung im Durchlasszustand

Die Elektronenkonzentration im p^+-Emitter wird durch die Funktion $f_2(x)$ beschrieben:

$$n_{p^+}(x) = n^*_{p^+} \cdot f_2(x) \tag{4.201}$$

wobei $n^*_{p^+}$ die Elektronenkonzentration im p^+-Gebiet im Punkt 0 ist:

$$n_{p^+}(0) = n^*_{p^+} \tag{4.202}$$

Mit dem Massenwirkungsgesetz ergibt sich folgende Relation zwischen der Elektronenkonzentration im p^+-Gebiet im Punkt 0 und der Löcherkonzentration im n^--Gebiet im Punkt 0:

$$n^*_{p^+} = \frac{1}{p_{p0}}(p^*_{n^-})^2 \tag{4.203}$$

p_{p0} - Majoritätsträgerkonzentration im p^+-Gebiet, die im Fall der konstanten Dotierung des p^+-Gebietes der Dotierungskonzentration N_E entspricht:

$$p_{p0} \approx N_E \tag{4.204}$$

$$n^*_{p^+} = \frac{1}{N_E}(p^*_{n^-})^2 \tag{4.205}$$

Wir betrachten weiter den Fall der starken Injektion in das p^+-Gebiet (Fall des schwachen p^+-Emitters) und der schwachen Rekombination im mittleren n^--Gebiet (entspricht dem **Fall A** im Kapitel 4.3.4). In diesem Fall können die Funktionen $f_1(x)$ und $f_2(x)$ als lineare Funktionen angenommen werden (s. Bild 4.87).
Die Löcherstromdichte $j_p(x)$ hat den Driftstromanteil $j_{Fp}(x)$ und den Diffusionsstromanteil $j_{Dp}(x)$:

$$j_p = j_{Fp}(x) + j_{Dp}(x) \tag{4.206}$$

$$j_{Fp}(x) = q p_{n^-}(x) \mu_p E(x) \tag{4.207}$$

$$j_{Dp}(x) = q V_T \mu_p \frac{dp_{n^-}(x)}{dx} \tag{4.208}$$

E(x)- Verteilung des elektrischen Feldes im Basisgebiet des pnp-Transistors

Die Elektronenstromdichte $j_n(x)$ hat den Driftstromanteil $j_{Fn}(x)$ und den Diffusionsstromanteil $j_{Dn}(x)$:

$$j_n = j_{Fn}(x) - j_{Dn}(x) \tag{4.209}$$

$$j_{Fn}(x) = q n_{n^-}(x) \mu_n E(x) \tag{4.210}$$

$$j_{Dn}(x) = qV_T\mu_n \frac{dn_{n^-}(x)}{dx} \tag{4.211}$$

Da die Elektronen- und Löcherverteilung in der Basis gleich sind, ergeben sich folgende Relationen zwischen den entsprechenden Drift- und Diffusionsstromanteilen von Elektronen und Löchern:

$$j_{Fp} = \frac{\mu_p}{\mu_n} j_{Fn} \tag{4.212}$$

$$j_{Dp} = \frac{\mu_p}{\mu_n} j_{Dn} \tag{4.213}$$

Die stationäre Stromverstärkung B ist der Quotient zwischen Löcher- und Elektronenstromanteil:

$$B = \frac{j_p}{j_n} \tag{4.214}$$

Sie kann nach der Kombination der Gleichungen (4.206), (4.209), (4.212), (4.213) nur durch Elektronenstromanteile dargestellt werden:

$$B = \frac{\mu_p}{\mu_n} \cdot \frac{j_{Fn} + j_{Dn}}{j_{Fn} - j_{Dn}} = \frac{\mu_p}{\mu_n}\left(1 + 2\frac{j_{Dn}}{j_n}\right) \tag{4.215}$$

Aufgrund der schwachen Rekombination in der Basis ist der Elektronenstrom näherungsweise gleich dem Diffusionsstrom im p^+-Emitter:

$$j_n(0) = qD_n \left.\frac{dn_{p^+}}{dx}\right|_{x=-d} = qD_n \frac{n^*_{p^+}}{W_E} \tag{4.216}$$

Unter Berücksichtigung der Beziehung (4.205) ergibt sich der Elektronenstrom als Funktion der Plasmakonzentration im n^--Basis-Gebiet:

$$j_n = q\frac{D_n}{W_E N_E}\left(p^*_{n^-}\right)^2 = qh_p\left(p^*_{n^-}\right)^2 \tag{4.217}$$

$$h_p = \frac{D_n}{W_E N_E} \text{-Emitterkonstante [50]} \tag{4.218}$$

Der Elektronendiffusionsstrom ist eine Funktion der Plasmakonzentration im n^--Basis-Gebiet:

$$j_{Dn}(0) = qV_T\mu_n \frac{p^*_{n^-}}{W_E} \tag{4.219}$$

Unter Berücksichtigung der Beziehungen (4.217) und (4.219) in der Gleichung (4.215) erhält man die Stromverstärkung als Funktion der Emitterkonstante und des Elektronenstromes:

$$B = \frac{\mu_p}{\mu_n} \cdot \left(1 + k_5 \frac{1}{\sqrt{h_p j_n}} \right) \tag{4.220}$$

$$k_5 = \frac{2 V_T \mu_n \sqrt{q}}{W_B} \tag{4.221}$$

Der Widerstand des mittleren n^--Gebietes ist näherungsweise umgekehrt proportional zum mittleren Wert der Plasmakonzentration in diesem Gebiet. Der mittlere Wert von der Plasmakonzentration ist direkt proportional zur Löcherkonzentration im n^--Gebiet im Punkt 0:

$$R_{n^-} \sim \frac{1}{p^*_{n^-}} \tag{4.222}$$

Unter Berücksichtigung der Beziehung (4.217) lässt sich der Spannungsabfall an dem n^--Gebiet als Funktion der Elektronenstromdichte darstellen:

$$U_{n^-} = k_6 \sqrt{h_p} \sqrt{j_n} \tag{4.223}$$

k_6- Proportionalitätskonstante

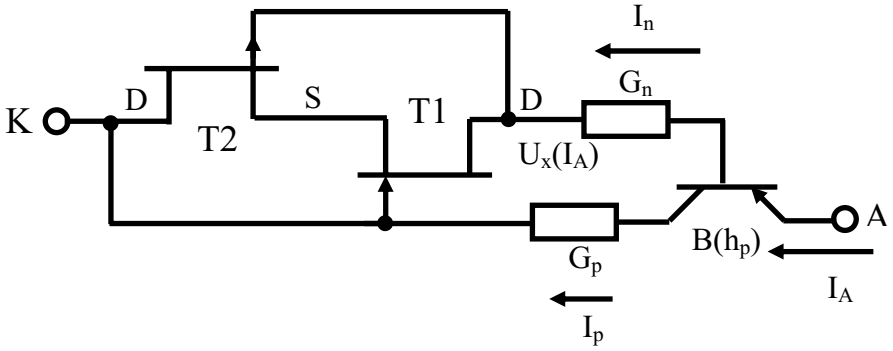
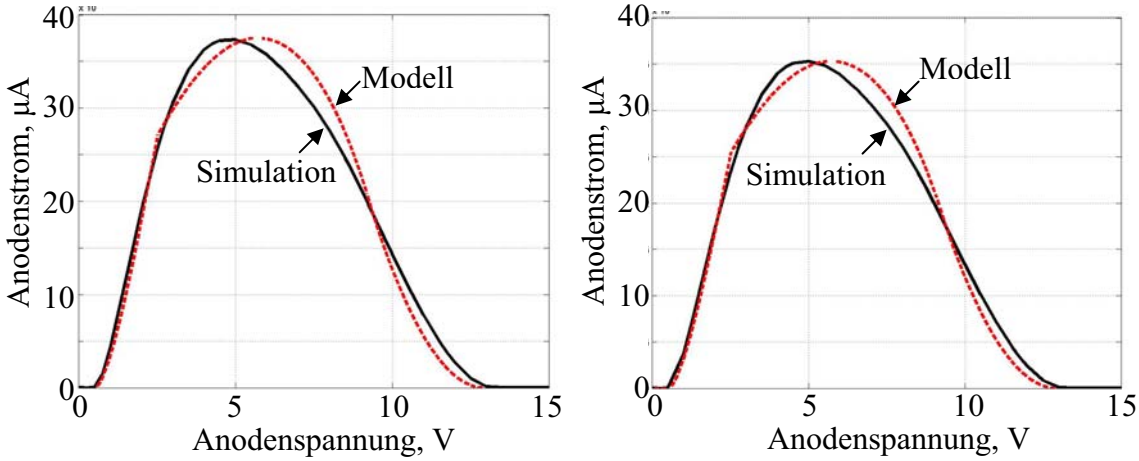


Bild 4.88: Ersatzschaltbild des Dualen Thyristors mit selbstleitendem IGBT unter Berücksichtigung des Emitterwirkungsgrades des pnp-Transistors

Ähnlich dem im Kapitel 4.3.4 beschriebenen Modell (Fall A) ist eine parabolische Strom-Spannungs-Charakteristik auch in diesem Fall festzustellen. Der Unterschied zu dem vorherigen Modell besteht aber darin, dass die Wirkung der von der Emitterkonstante abhängigen Stromverstärkung auf die Strom-Spannungs-Kennlinie des Dualen Thyristors berücksichtigt wird. Durch die Einführung eines weiteren Parameters B, dessen Höhe entsprechend der Gleichung (4.220) von der Emitterkonstante abhängig ist, werden die Modellgleichungen korrigiert. Diese Korrektur besteht darin, dass in den Kennliniengleichungen (s. Kapitel 4.3.4) der Anodenstrom I_A durch den Elektronenstrom I_n ersetzt wird. Der gesamte Strom I_A wird jetzt um Faktor (B+1) erhöht:

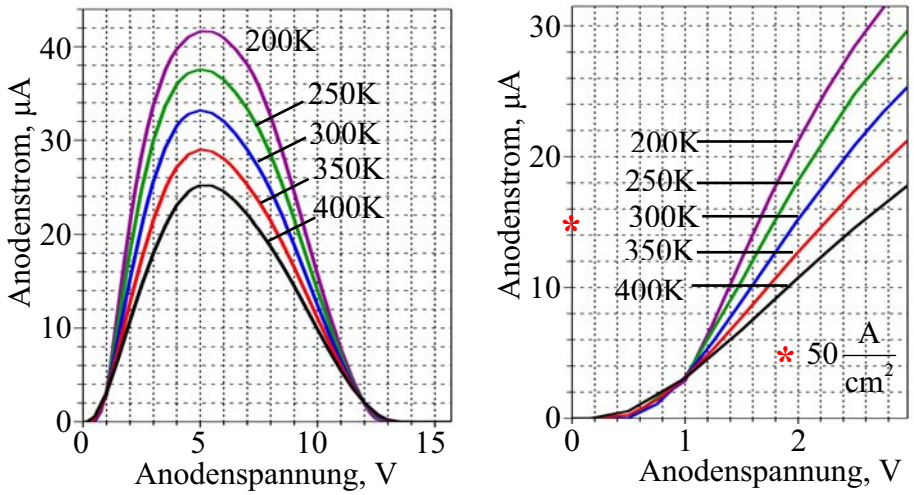
$$I_A = (B+1) I_n \tag{4.224}$$

Das entsprechende Ersatzschaltbild ist im Bild 4.88 dargestellt.
Ein Vergleich der simulierten Kennlinie des 600V-Bauelementes mit der mit Hilfe der Modellgleichungen berechneten Kennlinie ist im Bild 4.89 dargestellt. Die Dotierung des unteren p^+- Gebietes wurde variiert. Die entsprechenden Modellparameter lassen sich mit Hilfe von charakteristischen Punkten der simulierten Kennlinie (I_{max}, U_{max}, I_{on}, U_{on}, U_{off}) verifizieren.



(a) $N_E=4x10^{17}cm^{-3}$ **(b)** $N_E=2x10^{17}cm^{-3}$

Bild 4.89: Simulierte Kennlinie der Dualen Thyristor-Struktur (600 V) mit selbstleitendem IGBT und mit drei parallelen vertikalen p-Kanal-SITs im Vergleich zu der mit den Modellgleichungen berechneten Kennlinie mit durch Simulation verifizierten Parametern:
a) p^+-Emitterdotierung $4x10^{17}\,cm^{-3}$: $I_{pl} = 2.9x10^{-5}$ A, $U_{pl} = -7.7V$, $V_u=2$, $U_{th} = 0.9V$, $c_2 = 4.5x10^2\ VA^{-1/2}$, $c_3=0.1V$, $U_s = 0.4V$, $B = 3.25$
b) p^+-Emitterdotierung $2x10^{17}\,cm^{-3}$: $I_{pl} =2.9x10^{-5}$ A, $U_{pl} = -7.7V$, $V_u = 2$, $U_{th} = 0.9V$, $c_2 = 4.5x10^2\ VA^{-1/2}$, $c_3 = 0.1V$, $U_s = 0.4V$, $B = 3$



(a) Gesamte Kennlinie **(b)** Durchlassbereich

Bild 4.90: Simulierter Kennlinienvergleich der 600V-Struktur mit selbstleitendem IGBT und mit drei parallelen vertikalen p-Kanal-SITs bei unterschiedlichen Temperaturen

Entsprechend dem Modell-Simulations-Vergleich ermöglicht es die Einführung des weiteren Parameters B, die Wirkung der Emittereffektivität auf die Kennlinie des Dualen Thyristors mit guter Korrelation zu modellieren.
Nach dem Modell ist ein temperaturstabiles Abschalten des Bauelementes zu erwarten (s. Gleichung (4.197)). Das wird durch Simulationsergebnisse bestätigt. Bild 4.90 zeigt einen simulierten Kennlinienverhalten der 600V Dualen Thyristor-Struktur mit selbstleitendem IGBT und mit drei parallelen vertikalen p-Kanal-SITs bei unterschiedlichen Temperaturen. Im Bereich zwischen 200K und 400K bleibt die Abschaltspannung U_{off} temperaturstabil. Der Durchlasswiderstand wird aufgrund der thermischen Reduktion der Beweglichkeit der Elektronen und der Löcher durch die Temperaturerhöhung verschlechtert.

4.3.6 Zusammenfassung

Die Anwendung des Konzeptes der bipolaren Ladungsträgerüberschwemmung des hochohmigen n^--Substrates in der Dualen Thyristor-Struktur ermöglicht eine deutliche Verbesserung der Durchlasseigenschaften im Vergleich zum unipolaren Bauelement.
Der Duale Thyristor mit IGBT-Funktion besitzt, wie sein unipolarer Prototyp, eine Überstromsicherungsfunktion und kann aufgrund der verbesserten Durchlasscharakteristik als Schutzelement im höheren Spannungsbereichen (bis 600V) verwendet werden. Diese Sicherungsfunktion bleibt im Temperaturbereich von 200 K bis 400K sehr stabil.
Das Bauelement kann auf der Basis der konventionellen IGBT-Technologien hergestellt werden.
Das entwickelte Modell des Dualen Thyristors mit IGBT-Funktion weist eine sehr gute Übereinstimmung mit den Simulationsergebnissen auf. Die zur Modellbeschreibung notwendigen Parameter können durch ein relativ einfaches Verifikationsverfahren mit Hilfe der Simulations- bzw. Messergebnisse ermittelt werden. Da diese Parameter zum großen Teil physikalisch sind, kann das Modell bei der Designentwicklung und Strukturoptimierung verwendet werden. Auch als Kompaktmodell mit relativ niedriger Parameterzahl kann das vorgeschlagene Modell eingesetzt werden.
Aufgrund des starken Löcherabflusses an die Kathode kann keine hohe sourceseitige Plasmakonzentration in der Struktur erzeugt werden. Diese Tatsache führt zur Verschlechterung der Durchlasseigenschaften des Bauelementes und deswegen zur Begrenzung des Leistungsbereiches, in dem das Bauelement eingesetzt werden kann.
Wird das Bauelement in einen thyristorartigen Zustand gebracht, kann die erwünschte Plasma-Anhebung des sourceseitigen Gebietes, wie bei modernen Plasma-Enhancment-Bauelementen (z.B. bei Trench-IGBTs), erzeugt werden [51, 52].

4.4 Dualer Thyristor mit durch „Level Shifter“ kontrollierter Thyristor-Funktion

Die im Kapitel 4.3 beschriebene Struktur des Dualen Thyristors mit IGBT-Funktion hat aufgrund des starken Löcherabflusses an die Kathode (s. Bilder 4.77b und 4.78a) eine relativ niedrige sourceseitige Plasmakonzentration.
Bei modernen IGBTs erhöht man nach Möglichkeit die sourceseitige Plasmakonzentration, um einen thyristorartigen Überschwemmungszustand zu erreichen [51].

4.4.1 Dualer Thyristor mit einer Diodenkette als „Level Shifter“ - Funktionsprinzip des „Level Shifters“

Die Struktur des Dualen Thyristors mit „Level Shifter“ (s. Bild 4.91) ist der Dualen Thyristor-Struktur mit IGBT-Funktion ähnlich (vgl. mit dem Bild 4.76). Der Unterschied besteht aber darin, dass in der neuen Struktur die beiden p-Wannen örtlich getrennt sind. Die linke p-Wanne bleibt auf das Kathodenpotenzial gesetzt. Die rechte p-Wanne ist über einen „Level Shifter“ (LS) an die Kathode angeschlossen.

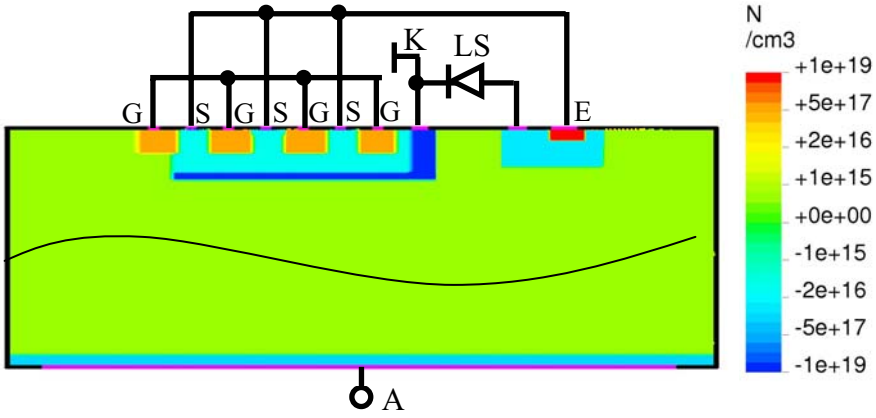


Bild 4.91: 600V Duale Thyristor-Struktur mit Thyristor-Funktion.
Die diskrete Diode trägt die Funktion des „Level Shifters“

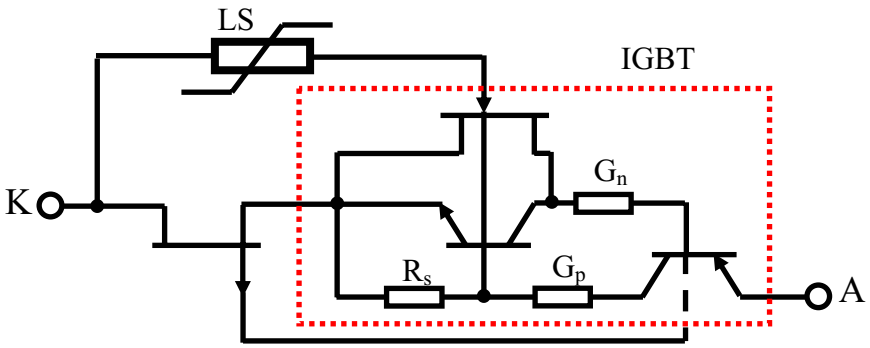


Bild 4.92: Ersatzschaltbild des Dualen Thyristors mit durch „Level Shifter“ kontrollierter Thyristor-Funktion

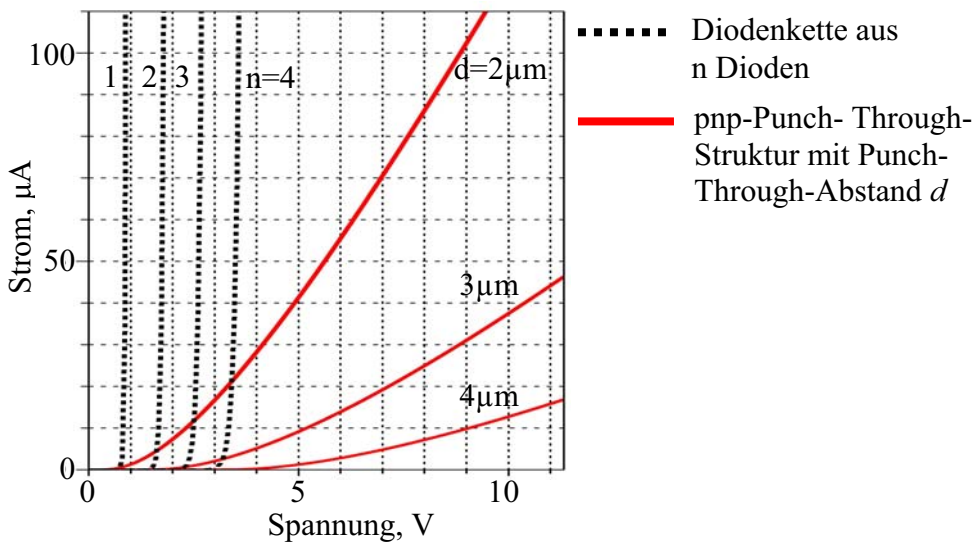
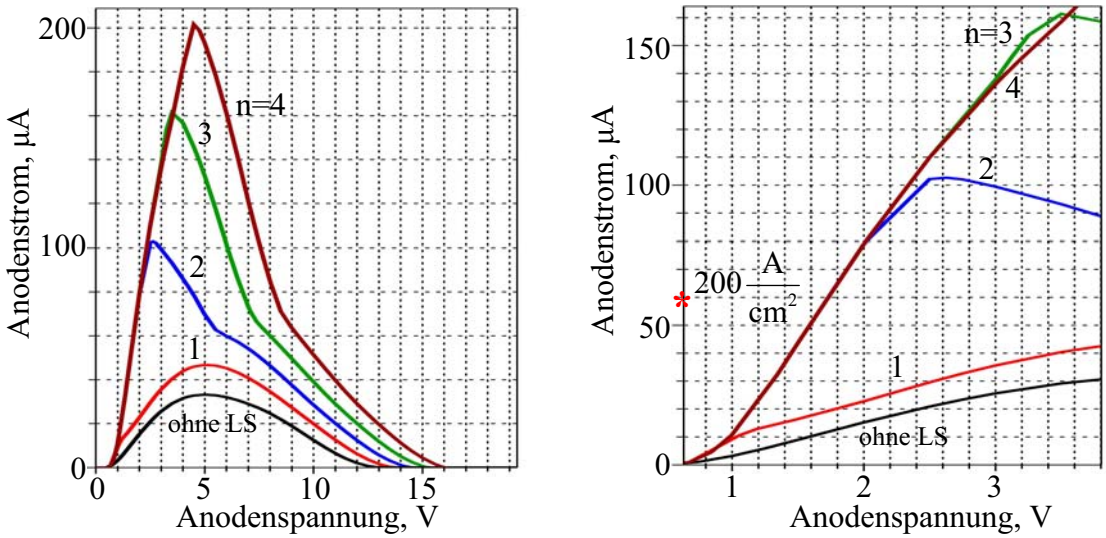


Bild 4.93: Simulierter Strom-Spannungs-Kennlinienvergleich der unterschiedlichen Strukturen des „Level Shifters“



(a) Gesamte Kennlinie **(b)** Durchlassbereich

Bild 4.94: Simulierte Strom-Spannungs-Kennlinien des Dualen Thyristors als vertikales 600V-Bauelement mit „Level Shifter“ im Vergleich zur Kennlinie einer aufbaugleichen Struktur mit IGBT-Funktion und ohne „Level Shifter“. Die Funktion des „Level Shifters“ erfüllen n in Serie geschaltete diskrete Dioden.

Wir betrachten zuerst den „Level Shifter“ als eine diskrete Diode bzw. als mehrere in Serie geschaltete Dioden. Die Strom-Spannungs-Kennlinie einer solchen Diodenkette ist bei Variation der Diodenzahl im Bild 4.93 dargestellt. Sie entspricht der typischen Kennlinie eines Spannungsbegrenzers mit einer Schwellenspannung U_z. Vor dem Erreichen dieser Spannung befindet sich der „Level Shifter“ in einem hochohmigen Zustand mit entsprechend niedrigem Durchlassstrom. Nach dem Erreichen der Schwellenspannung U_z geht der „Level Shifter“ in einen niederohmigen Zustand über und kann hohen Strom abführen.
Das Bild 4.94 zeigt einen Kennlinienvergleich identischer Dualer Thyristor-Strukturen mit „Level Shifter“ bei Variation der Diodenzahl. Diese Kennlinien werden auch mit der Kennlinie einer aufbaugleichen Struktur ohne „Level Shifter“ (nur mit IGBT-Funktion) verglichen.

Ein eindeutiger Durchlassspannungsgewinn wird durch Einführung des „Level Shifters“ erreicht. Ab einer bestimmten Höhe der Schwellenspannung U_z, welche in diesem Fall der Diodenzahl von Zwei entspricht, wird der maximale Durchlassspannungsgewinn erzielt. Es ist aber zu berücksichtigen, dass mit der Erhöhung der Schwellenspannung auch der maximale Strom I_{max} erhöht wird.
Zur Aufklärung des Funktionsprinzips des Dualen Thyristors mit „Level Shifter“ betrachten wir das Ersatzschaltbild dieser Struktur (s. Bild 4.92)
Wie es schon im Kapitel 4.3.1 erklärt wurde, enthält ein planarer IGBT eine parasitäre Thyristor-Struktur, die durch lateralen Löcherabfluss über die rechte p-Wanne (mit dem entsprechenden lateralen Widerstand R_s) in den „Latch-up“-Zustand gebracht werden kann (s. Bild 4.75b). Ein solches unkontrolliertes Einrasten kann zur Zerstörung des Bauelementes führen.
Wird der „Latch-up“-Vorgang kontrolliert (das heißt, dass bei einer bestimmten Anodenspannung der „Latch-up“-Vorgang ausgeschaltet wird), kann der thyristorartige Überschwemmungszustand zur deutlichen Verbesserung der Durchlasseigenschaften des Bauelementes ausgenutzt werden. Eine solche „Latch-up“-Kontrollfunktion übernimmt hier der „Level Shifter“. Bei einer ausreichend niedrigen Anodenspannung befindet sich der „Level Shifter“ in einem hochohmigen Zustand. Die Löcher werden über den Widerstand R_s an die n^+- Source abgeführt. Dadurch wird das Potenzial der rechten p-Wanne (Basis des npn-Transistors) bezüglich des Source-Potenzials (n^+-Emitter des npn-Transistors) angehoben. Eine Elektroneninjektion aus dem n^+-Source-Gebiet und eine damit gekoppelte Löcherinjektion aus dem unteren p^+-Gebiet findet als Folge einer solchen Potenzialanhebung statt.
Bei weiterer Erhöhung der Anodenspannung geht der „Level Shifter“ in einen leitenden Zustand über, der den Löcherabfluss über den „Level Shifter“ ermöglicht. Das führt zur Absenkung des Spannungsabfalls zwischen der rechten p-Wanne und dem n^+-Source-Gebiet. Der „Latch up“-Vorgang wird dadurch unterbrochen, und der Duale Thyristor geht in einen IGBT-artigen plasmaüberschwemmten Zustand über.
Durch eine weitere Erhöhung der Anodenspannung wird das Bauelement abgeschaltet.
Diese Vorgänge betrachten wir genauer im nächsten Kapitel.

4.4.2 Dualer Thyristor mit pnp-Punch-Through-Stuktur als „Level Shifter“

Wie es im vorherigen Kapitel gezeigt wurde, werden die guten Durchlasseigenschaften des Dualen Thyristors mit einer Diodenkette als „Level Shifter“ erst bei einer Diodenzahl von Zwei erreicht (s. Bild 4.94b). Eine solche Diodenkette ist in der Praxis sehr schwer integrierbar und führt im Fall einer Integration zu unerwünschten parasitären Thyristor-Effekten.
Der „Level Shifter“ wurde deswegen in weiteren Versionen als niedrig sperrende pnp-Durchgriffs-Struktur (Punch-Through-Struktur) wie in [53] und [54] entworfen. Die Struktur ist auch auf höchst einfache Art zu integrieren.
Bild 4.95 zeigt die Struktur des Dualen Thyristors mit einer pnp-Punch-Through-Struktur als „Level Shifter“. Diese Struktur wird einfach durch Trennung der mittleren und rechten p-Wanne gebildet. Durch den Abstand *d* zwischen den p-Wannen und durch die Dotierung des zwischen den p-Gebieten liegenden n^--Substrates wird die notwendige Schwellenspannung des „Level Shifters“ erreicht. Im Bild 4.93 sind die Strom-Spannungs-Kennlinien solcher pnp-Strukturen bei Variation des Punch-Through-Abstandes *d* dargestellt. Man erreicht schon bei 2 μm die Schwellenspannung einer Diodenkette aus zwei Dioden. Es ist zu beachten, dass eine solche Struktur eine deutlich weichere Kennlinie im Vergleich zu der Kennlinie der Diodenkette besitzt. Trotz eines solchen Kennlinienverhaltens, wie es weiter gezeigt wird, kann diese Punch-Through-Struktur die Funktion des „Level Shifters“ erfüllen.

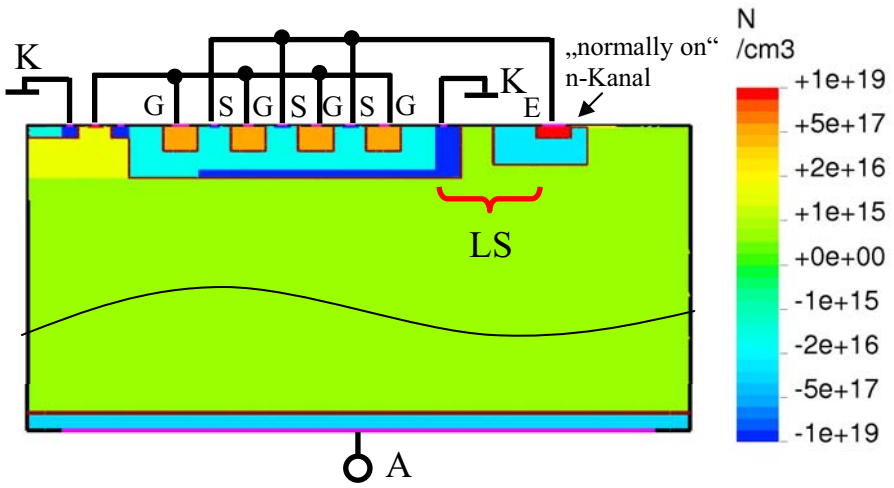
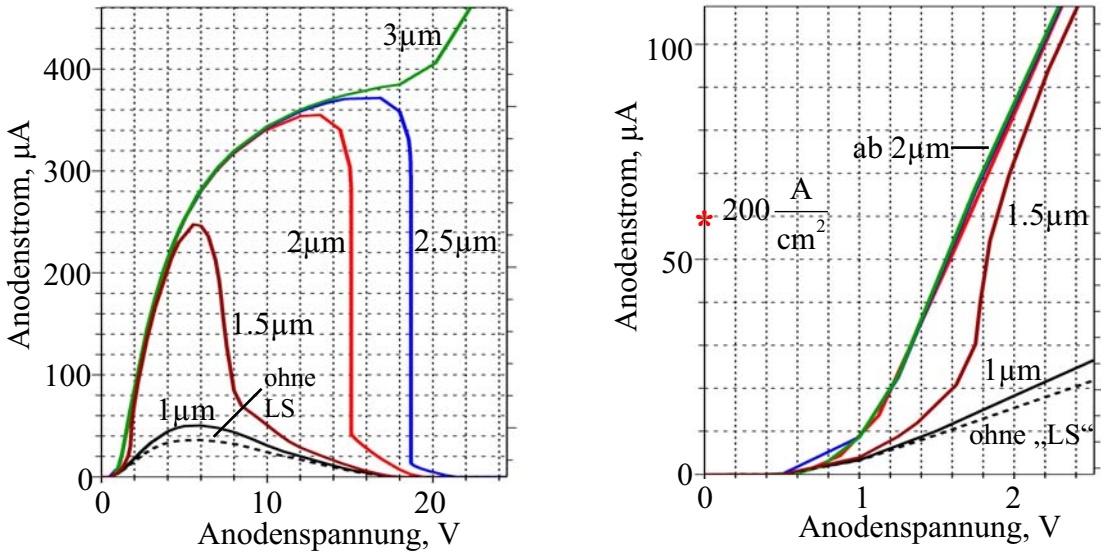


Bild 4.95: 600V-Duale-Thyristor-Struktur mit Thyristor-Funktion; die Funktion des „Level Shifters“ erfüllt eine pnp-Punch-Through-Struktur



(a) Gesamte Kennlinie **(b)** Durchlassbereich

Bild 4.96: Simulierte Strom-Spannungs-Kennlinie der 600V-Struktur mit der pnp-Punch-Through-Struktur als „Level Shifter“ bei Variation des Punch-Through-Abstandes im Vergleich zu einer identischen Struktur ohne „Level Shifter“

Durch die Trennung der linken und mittleren p-Wanne in der Struktur wird ein n-Kanal-SIT gebildet, der zur Begrenzung des n^+-Gate-Potenzials des p-Kanal-Transistors dient (s. Kapitel 4.2.13).

Bild 4.96 zeigt das Kennlinienverhalten des Dualen Thyristors mit der pnp-Punch-Through - Struktur als „Level Shifter“ bei Variation des Punch-Through-Abstandes. Die Kennlinien werden auch mit der Strom-Spannungs-Kennlinie einer aufbaugleichen Dualen Thyristor-Struktur ohne „Level Shifter“ (nur mit IGBT-Funktion) verglichen. Ein hoher Durchlassspannungsgewinn ist ab einem Punch-Through-Abstand von ca. 2µm festzustellen (s. Bild 4.96b). Es ist zu beachten, dass eine weitere Erhöhung des Punch-Through-Abstandes ab ca. 2µm (in der 600V Struktur) zu keiner deutlichen Verbesserung der Durchlasseigenschaften führt.

Außerdem kann das Bauelement bei einer noch weiteren Erhöhung des Punch-Through-Abstandes (ab ca. 2.9µm) nicht abschalten. Aus diesen beiden Gründen ist eine Optimierung dieses Konstruktionsparameters notwendig.

Ähnlich wie bei der Dualen Thyristor-Struktur mit einer Diodenkette als „Level Shifter“, führt auch bei dieser Struktur eine Erhöhung der Schwellenspannung des „Level Shifters“, welche durch eine Erhöhung des Punch-Through-Abstandes verursacht wird, zu einer Erhöhung des maximalen Stromes I_{max}.
Das Bild 4.96a zeigt auch, dass sich bei einer Erhöhung des Punch-Through-Abstandes des „Level Shifters“ der Punkt verschiebt, in dem der „Latch-up“-Vorgang erlöscht wird. Der Punkt verlagert sich in Richtung der höheren Anodenspannung, weil durch eine solche Änderung des Punch-Through-Abstandes eine Erhöhung der Schwellenspannung des „Level Shifters“ U_Z auftritt.
Wenn der „Latch up“-Vorgang vor dem Abschalten des Bauelementes erlöscht wird (das heißt, dass das Abschalten aus dem IGBT-artigen plasmaüberschwemmten Zustand erfolgt), bleibt die Abschaltspannung U_{off} von dem Punch-Through-Abstand des „Level Shifters“ nur sehr schwach beeinflusst (s. Bild 4.96a).
Wird die Schwellenspannung U_Z höher als die Anodenspannung, die zum Abschalten der Struktur aus dem IGBT-artigen plasmaüberschwemmten Zustand notwendig ist, wird die Abschaltspannung U_{off} von dem Punch-Through-Abstand stark beeinflusst. Eine Erhöhung des Punch-Through-Abstandes wird dann zum Anstieg der Abschaltspannung U_{off} führen. Eine solche Erhöhung der Abschaltspannung ist aber nur dann möglich, wenn eine zum Ausschalten des Bauelementes ausreichende Höhe des n^+-Gate-Potenzials durch eine schwache n^+-Gate-Potenzialbegrenzung zugelassen wird.

Wir betrachten weiter die optimierten Strukturen mit einer starken n^+-Gate-Potenzialbegrenzung durch n-Kanal-SIT, in welchen der thyristorartige Zustand vor dem Abschalten des Bauelementes erlöscht wird. Die Funktion solcher Dualen Thyristor-Strukturen wird näher am Simulationsbeispiel einer 600V-Struktur (s. Bild 4.95) erklärt. Die Funktion des „Level Shifters“ erfüllt in dieser Struktur die oben beschriebene pnp-Punch-Through -Struktur mit einem Punch-Through-Abstand von 2 µm.
Das im Bild 4.97 dargestellte Diagramm zeigt den Anodenstrom-, Source-Potenzial- und p-Wannenpotenzialverlauf als Funktion der Anodenspannung. Entsprechend diesem Diagramm bleibt bei der Anodenspannung bis ca. 10,9 V das p-Wannenpotenzial höher als das Source-Potenzial (aufgrund der im Kapitel 4.4.1 beschriebenen Potenzialanhebung).

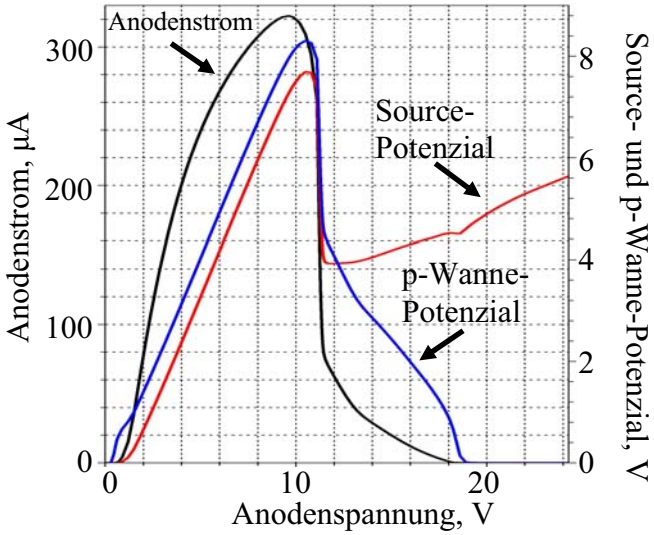
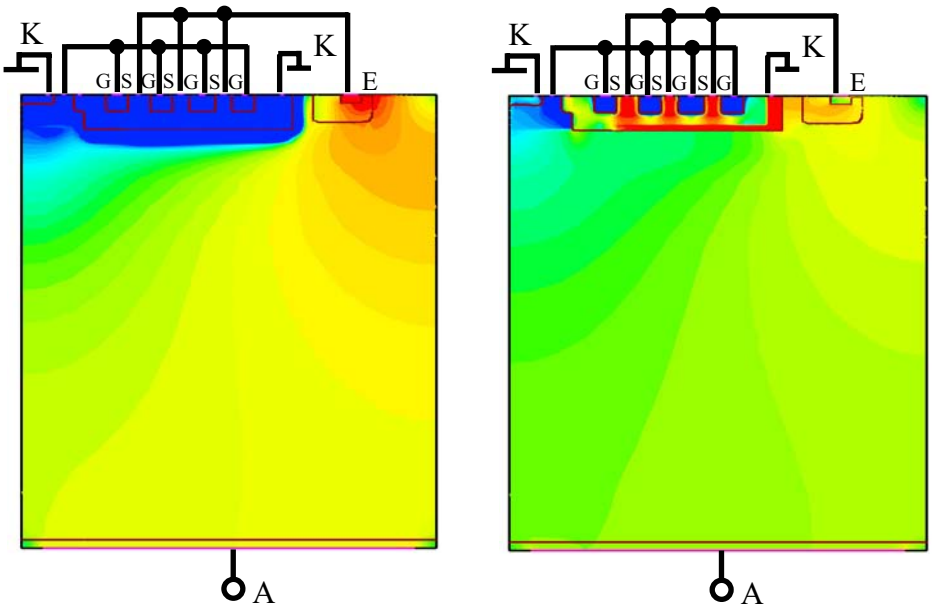
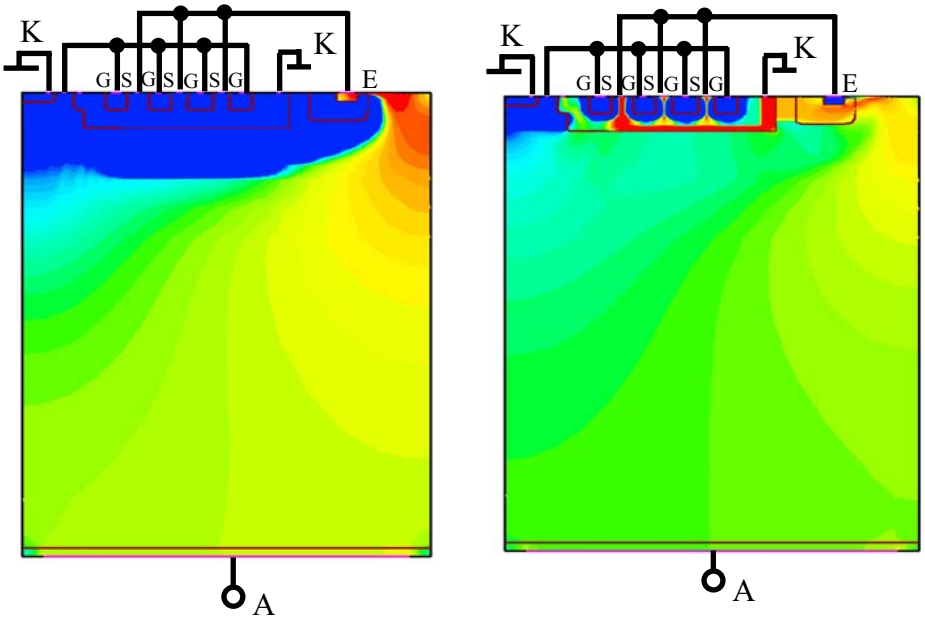


Bild 4.97: Simulierter Anodenstrom-, Source-Potenzial- und p-Wannenpotenzialverlauf als Funktion der Anodenspannung in der 600V-Struktur mit Thyristor- Funktion. Die Funktion des „Level Shifters“ erfüllt die pnp-Punch-Through -Struktur mit einem Punch-Through-Abstand von 2 µm



(a) Elektronenstromdichte **(b)** Löcherstromdichte

U_{AK}=1.73V



(c) Elektronenstromdichte **(d)** Löcherstromdichte

U_{AK}=11.36V

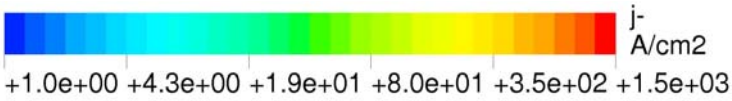
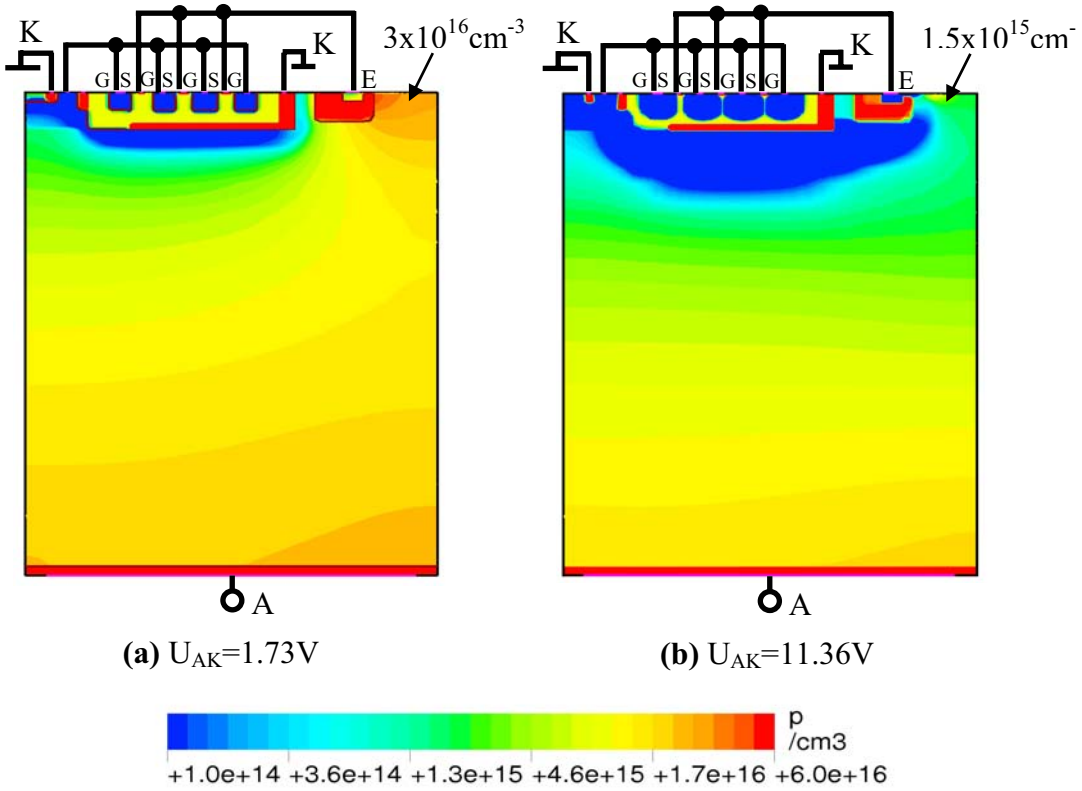


Bild 4.98: Elektronen- (a, c) und Löcherstromdichteverteilung (b, d) in der 600V-Struktur mit Thyristor-Funktion vor und nach dem „Punchen“ des „Level Shifters“. Die Anodenspannung beträgt: 1.7 V(a, b) und 11.36 V (c, d). Die Funktion des „Level Shifters“ erfüllt die pnp-Punch-Through -Struktur



(a) U_{AK}=1.73V **(b)** U_{AK}=11.36V

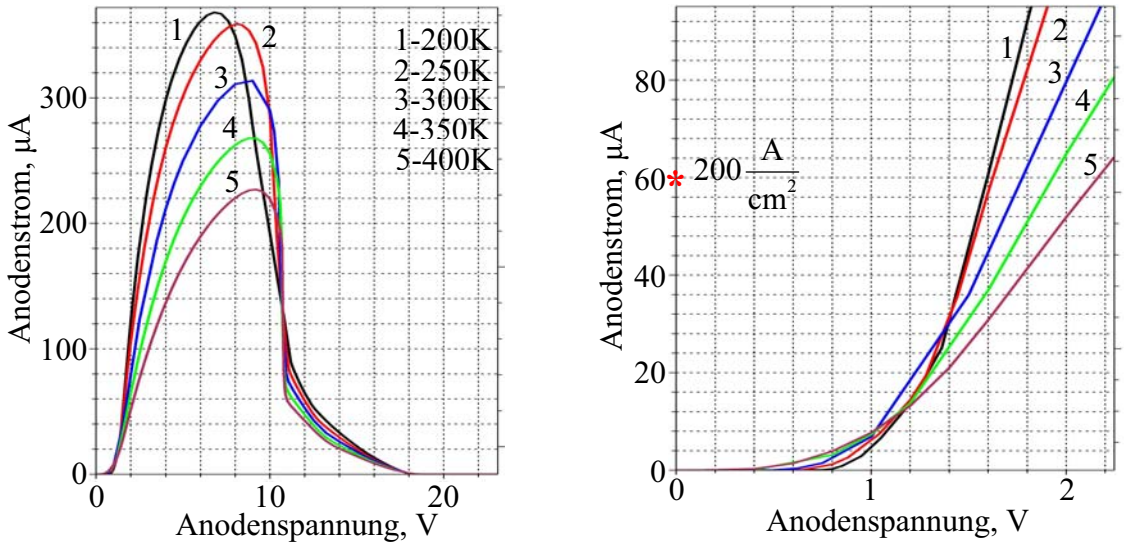
Bild 4.99: Löcherdichteverteilung in der 600V-Struktur mit Thyristor-Funktion.
Die Funktion des „Level Shifters“ erfüllt die pnp-Punch-Through-Struktur.
Die Anodenspannung beträgt: (a) 1,73 V und (b) 11,36V

Das Bauelement befindet sich in dem „Latch-up“-Zustand mit starker Elektroneninjektion aus dem n^+-Source-Gebiet (s. Bild 4.98a) und damit gekoppelter Löcherinjektion aus dem unteren p^+-Gebiet (s. Bild 4.98b). Damit wird eine sehr gute thyristorartige Plasmaüberschwemmung des mittleren n^--Gebietes mit einer sourceseitigen Plasma-Anhebung erreicht (s. Bild 4.99a).
Durch eine weitere Erhöhung der Anodenspannung (ab ca. 11.3 V) wird der „Level Shifter“ in den leitenden Zustand gebracht. Eine Potenzialanhebung des p-Wannengebietes findet in diesem Fall nicht statt (s. Bild 4.97). Damit erlöscht sich der „Latch-up“-Vorgang mit der Elektroneninjektion aus dem n^+-Source-Gebiet (s. Bild 4.98c). Die Struktur befindet sich in einem IGBT-artigem plasmaüberschwemmten Zustand mit entsprechender Löcherinjektion aus dem unteren p^+-Gebiet (s. Bild 4.98d) und mit deutlich niedrigerer Plasmakonzentration in dem oberen sourceseitigen Gebiet (s. Bild 4.99b).
Eine weitere Erhöhung der Anodenspannung führt zum regenerativen Abschalten des Bauelementes. In diesem Kennlinienbereich ist das Verhalten des Bauelementes identisch mit dem Verhalten des Dualen Thyristors mit IGBT-Funktion (s. Kapitel 4.3).

Im Fall einer optimierten Struktur ist zu erwarten, dass ähnlich wie bei den Strukturen mit IGBT-Funktion das Abschalten des Bauelementes temperaturstabil bleibt. Bild 4.100 zeigt ein Temperaturverhalten der Kennlinie der 600V-Struktur mit Thyristor-Funktion. Eine temperaturstabile Abschaltspannung U_{off} im Temperaturbereich von 200K bis 400K kann durch diese Simulationsuntersuchung bestätigt werden.
Das Temperaturverhalten des maximalen Punktes (I_{max}, U_{max}) weist laut den Simulations-Ergebnissen eine Reduktion des maximalen Stromes I_{max} mit steigender Temperatur und eine temperaturstabile maximale Spannung U_{max} ab ca. 250K auf. Ein solches Verhalten ist dem Verhalten der Struktur mit IGBT-Funktion ähnlich (s. Bild 4.90).

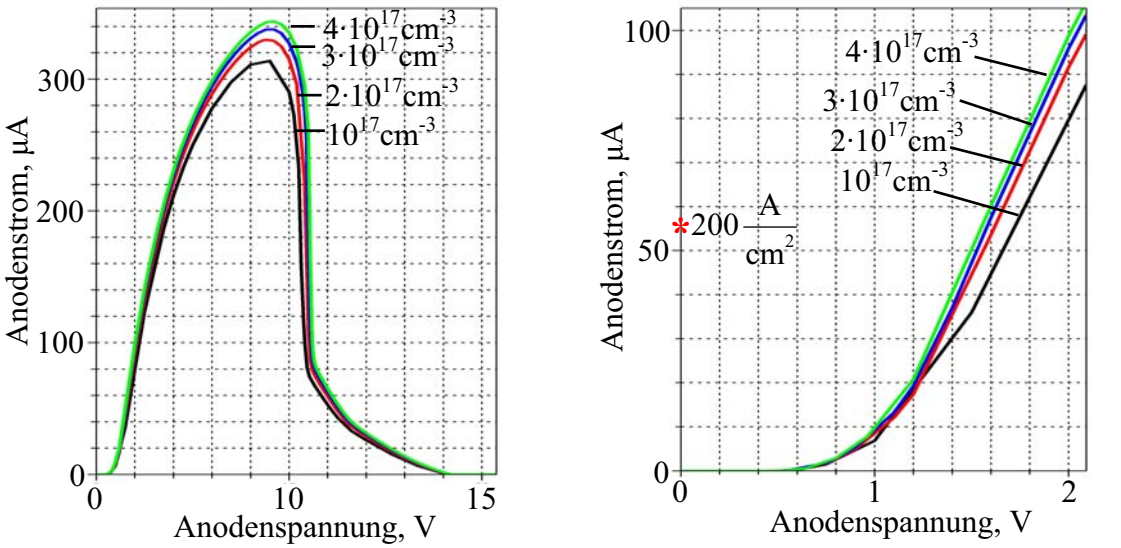
Der Durchlasswiderstand wird aufgrund der thermischen Reduktion der Beweglichkeit der Elektronen und Löcher durch die Temperaturerhöhung erhöht (s. Bild 4.100b).

Die Wirkung der Emitterkonstante des pnp-Transistors auf die Kennlinie des Bauelementes mit Thyristor-Funktion ist im Bild 4.101 veranschaulicht. Diese Wirkung ist im Kapitel 4.3.5 am Beispiel der Struktur mit IGBT-Funktion erklärt worden. Ein ähnliches Kennlinienverhalten ist auch bei der Struktur mit Thyristor-Funktion laut den Simulationsergebnissen festzustellen (vgl. mit dem Bild 4.85).



(a) gesamte Kennlinie **(b)** Durchlassbereich

Bild 4.100: Simulierte Strom-Spannungs-Kennlinie der 600V-Struktur mit der pnp-Punch-Through -Struktur als „Level Shifter“ bei Variation der Temperatur



(a) gesamte Kennlinie **(b)** Durchlassbereich

Bild 4.101: Simulierte Strom-Spannungs-Kennlinie der 600V-Struktur mit der pnp-Punch-Through -Struktur als „Level Shifter“ bei Variation des Emitterwirkungsgrades durch Variation der Emitterdotierung

4.4.3 Zusammenfassung

Die Anwendung des Prinzips des kontrollierten „Latchens“ in der Struktur des Dualen Thyristors ermöglicht eine sehr gute Plasmaüberschwemmung des n^--Substrates mit einer sourceseitigen Anhebung der Plasmakonzentration. Die Überstrom-Sicherungsfunktion des Bauelementes bleibt dabei erhalten. Sie bleibt auch im für die Anwendung üblichen Temperaturbereich zwischen 200K und 400K sehr temperaturstabil.
Die entwickelte pnp-Punch-Through-Struktur als „Level Shifter“ ist sehr einfach, ohne zusätzlichen technologischen Aufwand und mit sehr kleinem Flächenverlust in der Dualen Thyristor-Struktur zu integrieren. Diese Struktur wird deswegen gegenüber der Diodenkette als „Level Shifter“ bevorzugt.

Die Simulationsuntersuchung der Hochvoltstrukturen mit Thyristor-Funktion hat gezeigt, dass eine mit Trench-IGBTs vergleichbare Durchlassspannung und ein ähnliches Plasmaprofil erreicht werden (s. Bild 4.102). Der Vorteil besteht aber darin, dass die Herstellung eines solchen Hochvoltbauelementes in Rahmen vorhandener planarer Technologien (ohne Trench) möglich ist. Da die Trench-Technik außerordentlich aufwändig ist, erscheint der Ansatz eines solchen Bauelementes sehr dadurch gerechtfertigt [52].

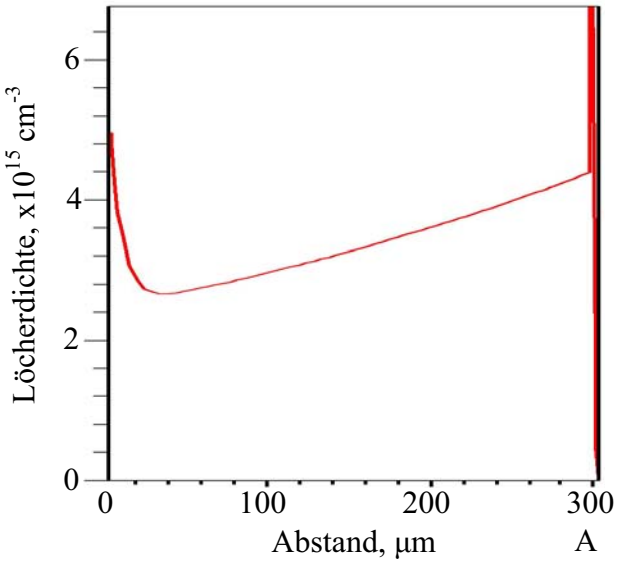


Bild 4.102: Ladungsträgerprofil einer 3.3 kV-Version.
Vertikaler Schnitt rechts bezüglich des n-Kanal
Die Durchlassspannung bei 50 A/cm^2 beträgt 2.7 V

5 Dualer Thyristor als Dreipol-Bauelement (Leistungsschalter mit Sicherungsfunktion)

Wie es schon im Kapitel 1 erklärt wurde, gibt es zurzeit keine Schaltelemente, die als Eigenschaft eine Überstromsicherungsfunktion besitzen.
Man unterscheidet zwei unterschiedliche Kurzschlussfälle: Kurzschluss vom Typ I (KS I) und Kurzschluss vom Typ II (KS II) [55].
Beim KS I besteht im Lastkreis ein Kurzschluss noch vor dem Einschalten des Bauelementes. Bei der Gate-Ansteuerung des Schalters in „On"-Zustand entsteht zuerst ein Spannungseinbruch am Bauelement. Dieser Spannungseinbruch wird durch einen steigenden Kurzschlussstrom und durch damit induzierten Spannungsabfall an der Streuinduktivität des Kurzschlusskreises verursacht. Mit dem steigenden Kurzschlussstrom steigt der Spannungsabfall an dem Bauelement, bis schließlich der Schalter die volle Betriebsspannung aufnimmt und der Kurzschluss sich bei einem stationären Wert stabilisiert.
Der KS II tritt ein, wenn der Kurzschluss erst nach dem Einschalten des Bauelementes auftritt. In diesem Fall kommt es zuerst zu einer dynamischen Kurzschlussstromüberhöhung, die durch Ausräumen der Speicherladung des bipolaren Bauelementes verursacht wird (Entsättigungsphase) und durch entstehende Rückkopplung zwischen der Ausgangsspannung und der Gate-Spannung über Miller-Kapazität deutlich verstärkt wird. Nach Beendigung der Entsättigungsphase reduziert sich der Kurzschlussstrom bis zu einem stationären Wert. Dieser Stromabfall induziert einen Spannungsabfall an der Kurzschluss-Streuinduktivität, der eine Überspannung an dem Bauelement verursacht.
Der KS II ist deswegen deutlich kritischer als der KS I. In diesem Zusammenhang erscheint die Entwicklung eines neuen intelligenten Schalters mit Sicherungsfunktion gegen KS II von großem Interesse.
Ein solches Bauelement soll gleichzeitig die Eigenschaften eines modernen Schaltelementes besitzen. Eine einfache Herstellungstechnologie wäre auch von Vorteil gegenüber den schon bestehenden Leistungsschaltelementen.

5.1 Ansteuerung des Dualen Thyristors mit Hilfe des n-Kanal-MOS-Gates

Die Ansteuerung des Dualen Thyristors kann über ein n-Kanal-MOS-Gate erfolgen. Ein Schnitt solches Schaltelementes ist im Bild 5.1a dargestellt. Der n-Kanal-Teiltransistor verwandelt sich dabei in einen n-Kanal-MOSFET. Ansonsten ist die Struktur des Schaltelementes der Struktur des Dualen Thyristor-Zweipolelementes ähnlich. Es ist aber zu beachten, dass der n-Kanal-Transistor jetzt sowohl als selbstleitend („normally on") als auch als selbstsperrend („normally off") ausgeführt werden kann.
Da der n-Kanal-MOSFET zusammen mit dem p-Kanal-JFET eine Duale Thyristor-Schaltung bildet, muss Folgendes bei der Ansteuerung des Schaltelementes berücksichtigt werden. Der n-Kanal wird durch das Gate-Potenzial gesteuert, dessen Höhe sich auf das Source-Potenzial bezieht. Gleichzeitig wird der n-Kanal von dem Bulk-Potenzial gegengesteuert, dessen Wert auch auf das Source-Potenzial bezogen wird. Das Source-Potenzial floatet. Dementsprechend ist im Bild 5.1b das Ersatzschaltbild des Schaltelementes dargestellt. Die Bedeutung der Z-Diode wird später erklärt.
Das Einschalten des Schaltelementes erfolgt durch die positive Gate-Potenzialansteuerung, indem die MOS-Gate-Ansteuerung des Kanals die Bulk-Gegensteuerung des Kanals überwindet. Ein stationäres Ausgangskennlinienfeld bei Variation des Gate-Potenzials ist im Bild 5.2 gezeigt.

Es ist zu beachten, dass bei einer Erhöhung des Gate-Potenzials die Abschaltspannung höher wird. Eine weitere Erhöhung des Gate-Potenzials führt zu dem Fall, in dem kein regeneratives Abschalten mehr möglich ist.
Der Schalter wird aber in diesem Fall weiter eine strombegrenzende Funktion erfüllen. Dieser Fall wird ausführlich unten beschrieben.
Das Ausschalten des Schaltelementes erfolgt bei der negativen Gate-Ansteuerung, indem die Bulk-Source-Spannung die Gate-Source-Spannung gegensteuert.

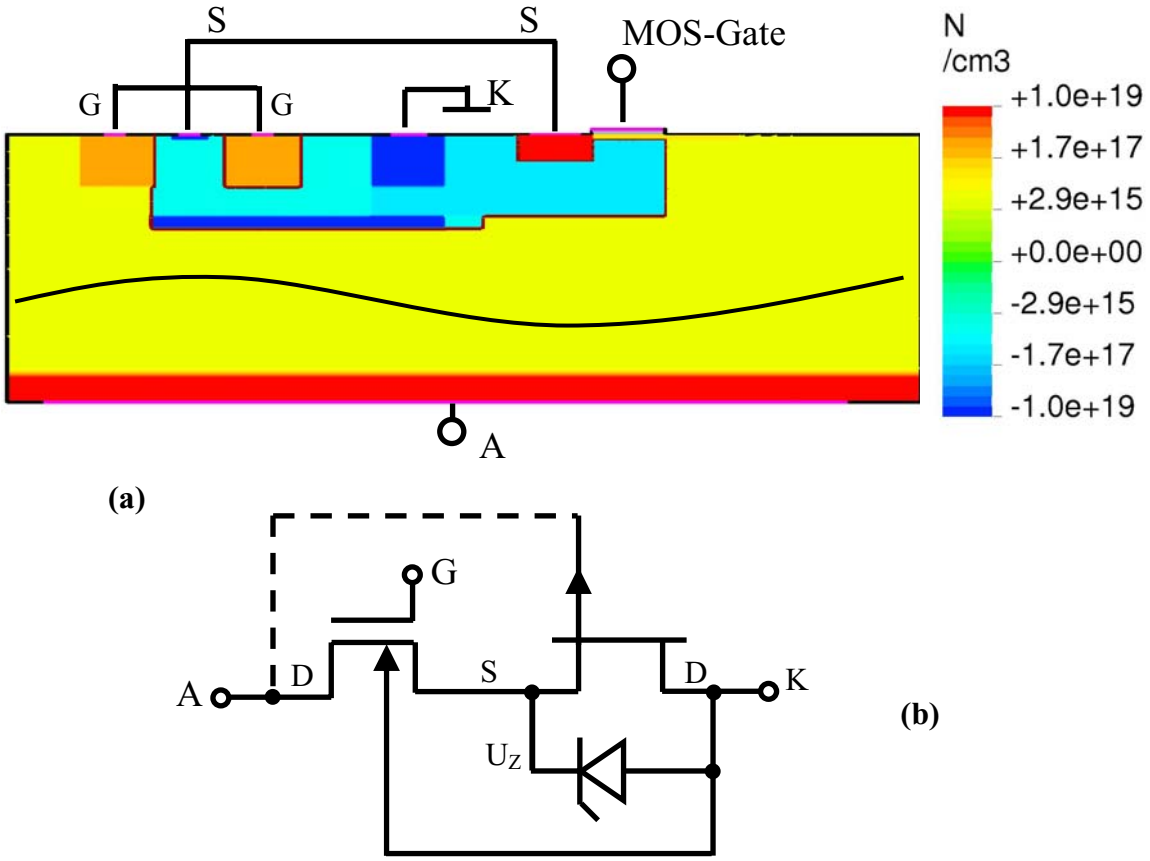


Bild 5.1: Dualer Thyristor als Schaltelement mit Ansteuerung über n-Kanal-MOS-Gate
a) 60V-Struktur mit planarem p-Kanal-SIT und vertikalem selbstsperrendem n-Kanal-MOSFET
b) Ersatzschaltbild

Bei dynamischer Betrachtung des Schaltvorganges tritt beim Einschalten des Bauelementes folgendes Problem auf (s. Bild 5.3). Bei der positiven Gate-Ansteuerung wird das Source-Potenzial zuerst nach oben gezogen, weil der p-Kanal-Transistor sich noch im Sperrzustand befindet. Das verursacht eine zusätzliche Bulk-Gegensteuerung, die zu einem sehr hohen positiven Ansteuerpotenzial führt. Zur Reduzierung des Ansteuerpotenzials ist eine Begrenzung des Source-Potenzials während des Einschaltens notwendig. Eine solche Source-Potenzialbegrenzung kann eine zum p-Kanal-Transistor parallel geschaltete Z-Diode erfüllen (s. Bild 5.1b). In der realen Struktur kann die begrenzte Sperrfestigkeit des p-Kanal-Transistors („Punchen“ zwischen Drain- und Source-Gebiet) zu solcher Source-Potenzialbegrenzung verwendet werden.
Wird das Source-Potenzial auf den Wert von U_Z begrenzt, gilt für die untersuchten Strukturen folgende Relation zwischen der zum Einschalten notwendigen Höhe der Gate-Kathoden-Spannung und der Source-Potenzialbegrenzung U_Z:

$$U_G > 2U_Z + (1\ldots2)V \tag{5.1}$$

Diese Relation wird sich aber mit der Änderung der Ansteuerbarkeit des n-Kanals ändern (zum Beispiel durch Änderung der Dotierung der rechten p-Wanne).

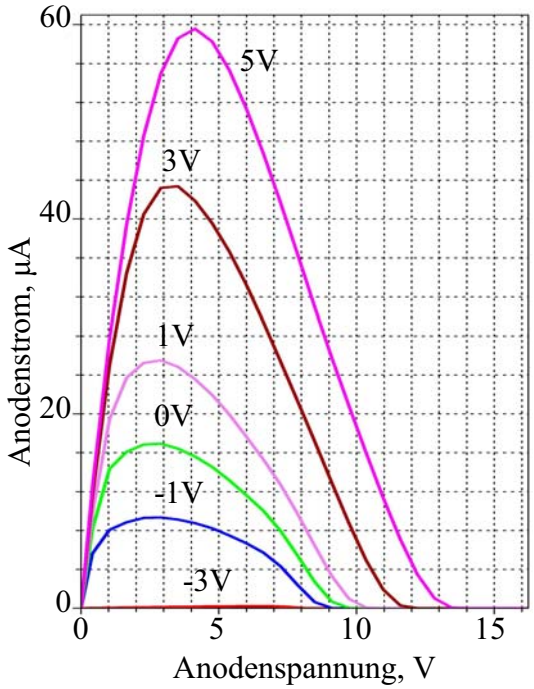


Bild 5.2: Simuliertes Ausgangskennlinienfeld des Schaltelementes bei Variation der Gate-Kathoden-Spannung

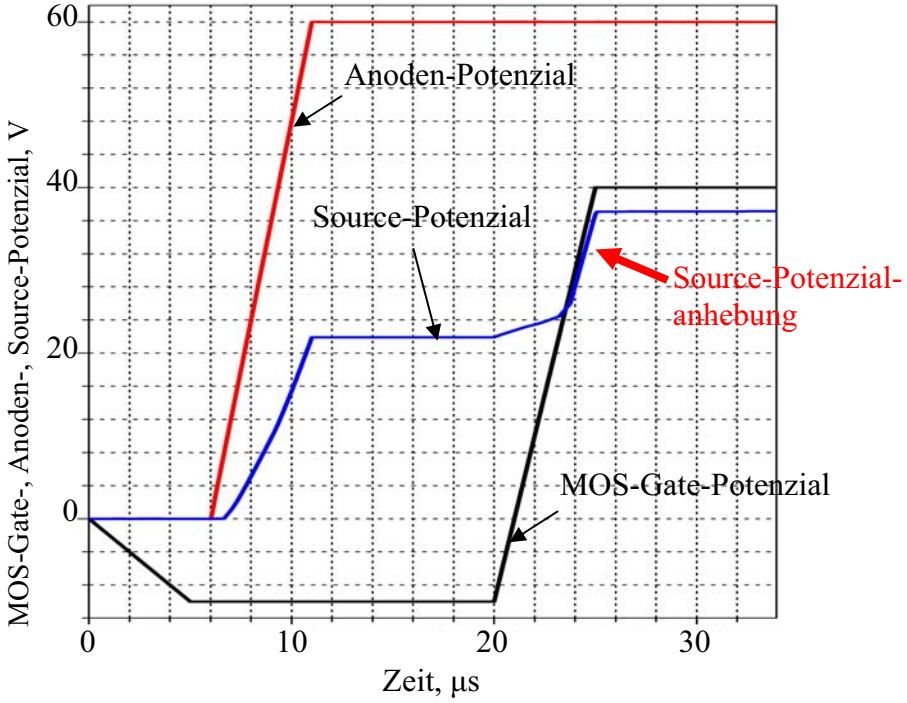


Bild 5.3: Simuliertes Schaltdiagramm. Das Bauelement lässt sich aufgrund der Source-Potenzialanhebung nicht einschalten

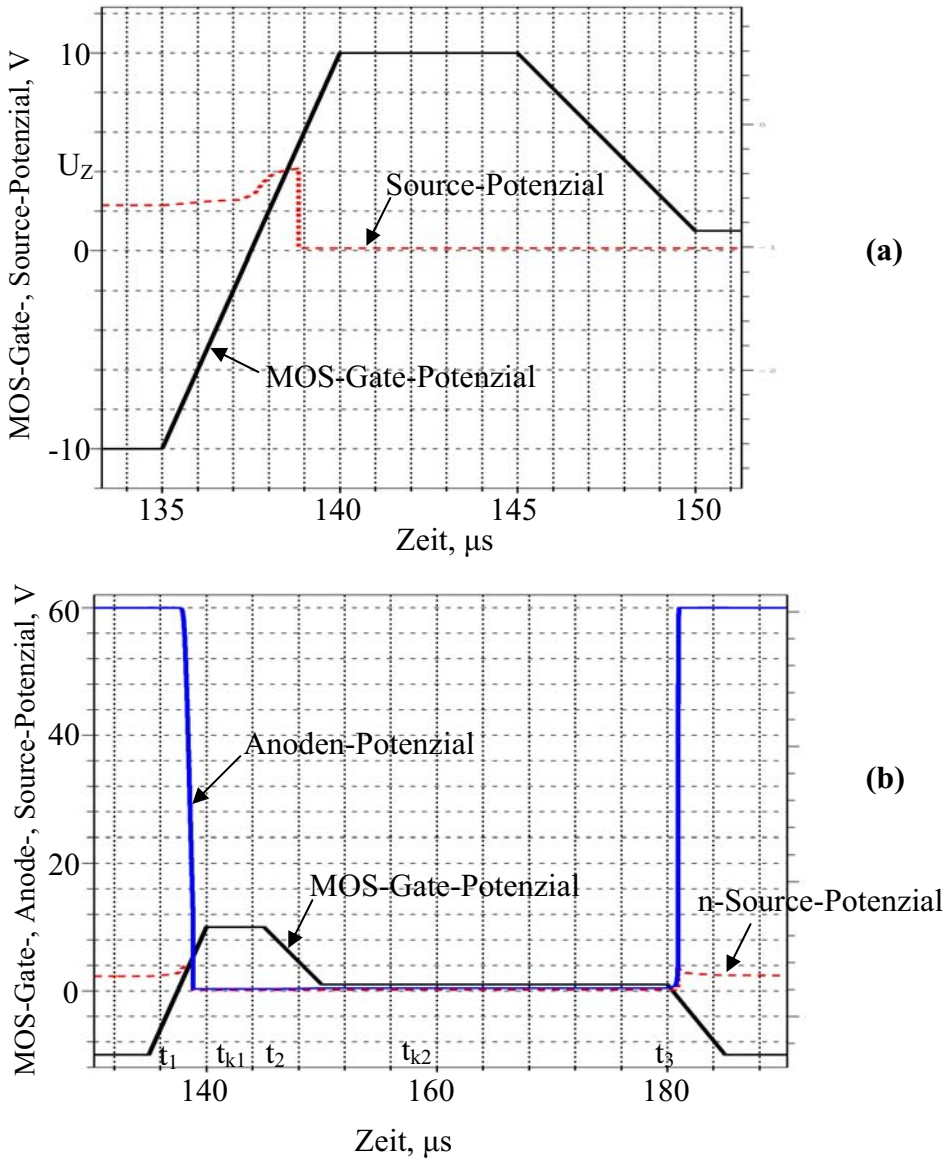


Bild 5.4: Simuliertes Schaltdiagramm des Schaltelementes mit Source-Potenzialbegrenzung:
(a) MOS-Gate- und Source-Potenzialverlauf während des Einschaltens
(b) Anoden-, MOS-Gate- und Source-Potenzialverlauf während des Ein- und Ausschaltens

Durch Einführung der Source-Potenzialbegrenzung lässt sich der Duale Thyristor mit einem Steuerpotenzial weniger als 10V einschalten. Damit ergibt sich ein voll steuerbares Schaltelement mit zulässiger Ansteuerpotenzialhöhe. Dieses Schaltelement besitzt, wie es weiter gezeigt wird, eine neue Sicherungsfunktion gegen einen Kurzschluss vom Typ II.

Um diese Überstrom-Sicherungsfunktion zu erhalten, wie es auf dem Schaltdiagramm im Bild 5.4 gezeigt wird, benötigt man eine „3-Level“-Ansteuerung.
Vor dem Zeitpunkt t_1 ist das Bauelement durch das negative Potenzial auf dem MOS-Gate ausgeschaltet. An dem Bauelement liegt die gesamte Betriebsspannung. Zum Zeitpunkt t_1 wird das Bauelement durch ein positives Ansteuerpotenzial eingeschaltet. Um die Überstrom-Sicherungsfunktion zu erhalten, wird das MOS-Gate zum Zeitpunkt t_2 in einen dritten Zustand mit einem niedrigeren positiven Potenzial gesteuert. In diesem Zustand, wenn zum Zeitpunkt t_{k2} ein Kurzschluss auftritt (das entspricht dem schnellen Anodenspannungsanstieg im Bild

5.5a), erfolgt beim Erreichen eines maximalen Anodenstroms das regenerative Abschalten des Bauelementes.
Zum Zeitpunkt t_3 wird das Bauelement durch ein negatives Ansteuerpotenzial wieder ausgeschaltet.
Wenn ein Kurzschluss vor dem Zeitpunkt t_2 auftritt, kann das Bauelement nicht regenerativ abschalten. Allerdings kann die durch Kurzschluss zugeführte Energie durch die Strombegrenzung im p-Kanal-Transistor und durch das kurze Zeitintervall $[t_1; t_2]$ minimiert werden. Auch in diesem Kurzschlussfall erfolgt keine Zerstörung des Bauelementes und zum Zeitpunkt t_2 schaltet das Bauelement regenerativ ab (s. Bild 5.5b).
Es ist zu berücksichtigen, dass zum Erhalten der Sicherungsfunktion das Source-Potenzial einen minimalen Wert erreichen muss, bei dem regeneratives Abschalten noch möglich ist. Durch diese Forderung entsteht eine untere Grenze für die Source-Potenzialbegrenzung U_Z und entsprechend der Beziehung (5.1) damit verbundene untere Grenze für die Höhe der positiven Gate-Kathoden-Spannung U_G.

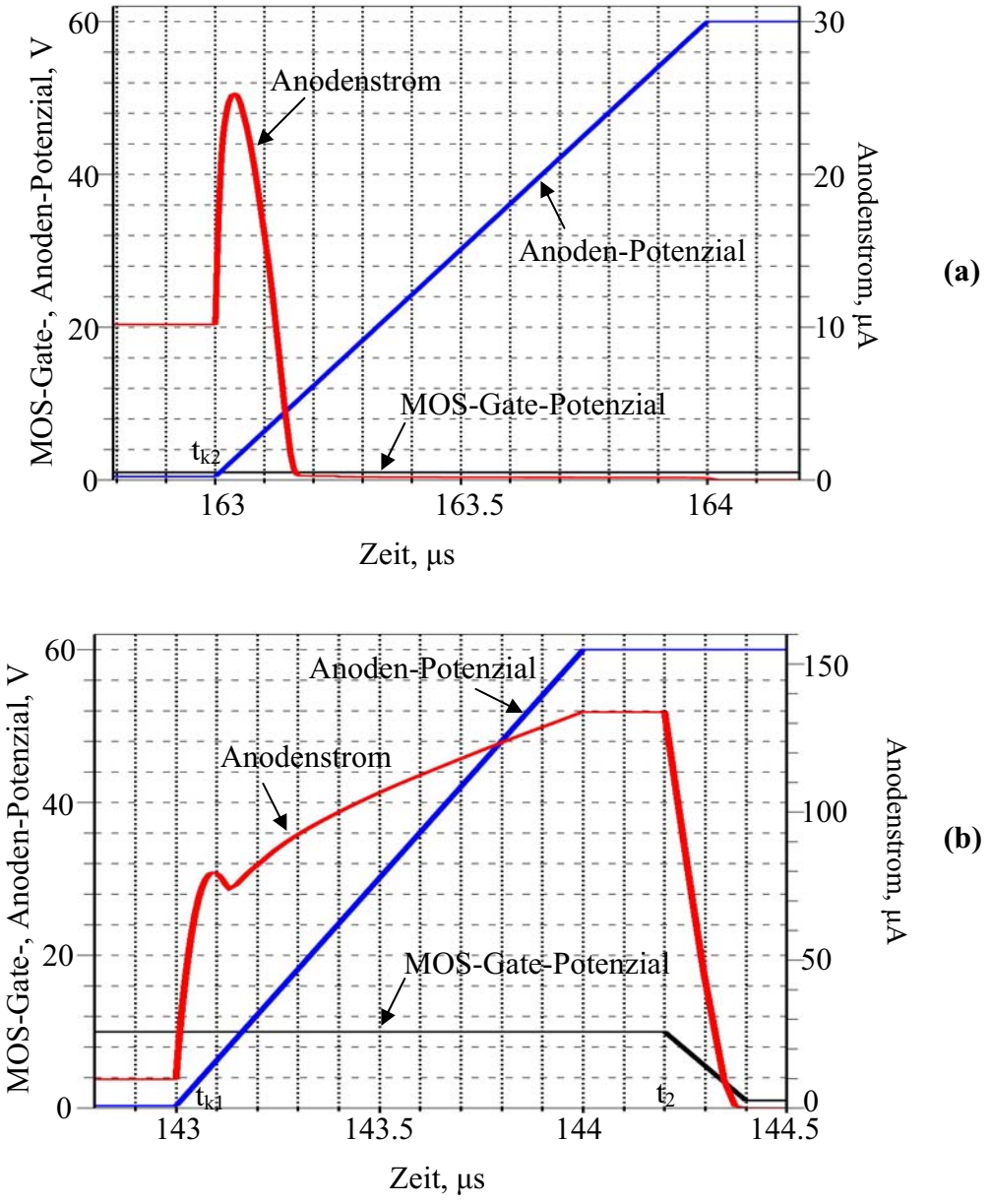


Bild 5.5: Simuliertes Kurzschlussdiagramm. Zum Kurzschlussbeginn hat MOS-Gate-Potenzial: (a) Level 2, (b) Level 1

5.2 Ansteuerung des Dualen Thyristors mit Thyristor-Funktion mit Hilfe des n-Kanal-MOS-Gates und des MOS-Gates des „Level Shifters“

Die Ansteuerung des Dualen Thyristors mit Thyristor-Funktion (mit „Level Shifter“) erfolgt durch zwei Gate-Elektroden (s. Bild 5.6a). Eine MOS-Gate-Elektrode steuert den „Level Shifter“, die andere MOS-Gate-Elektrode steuert den n-Kanal-Transistor.

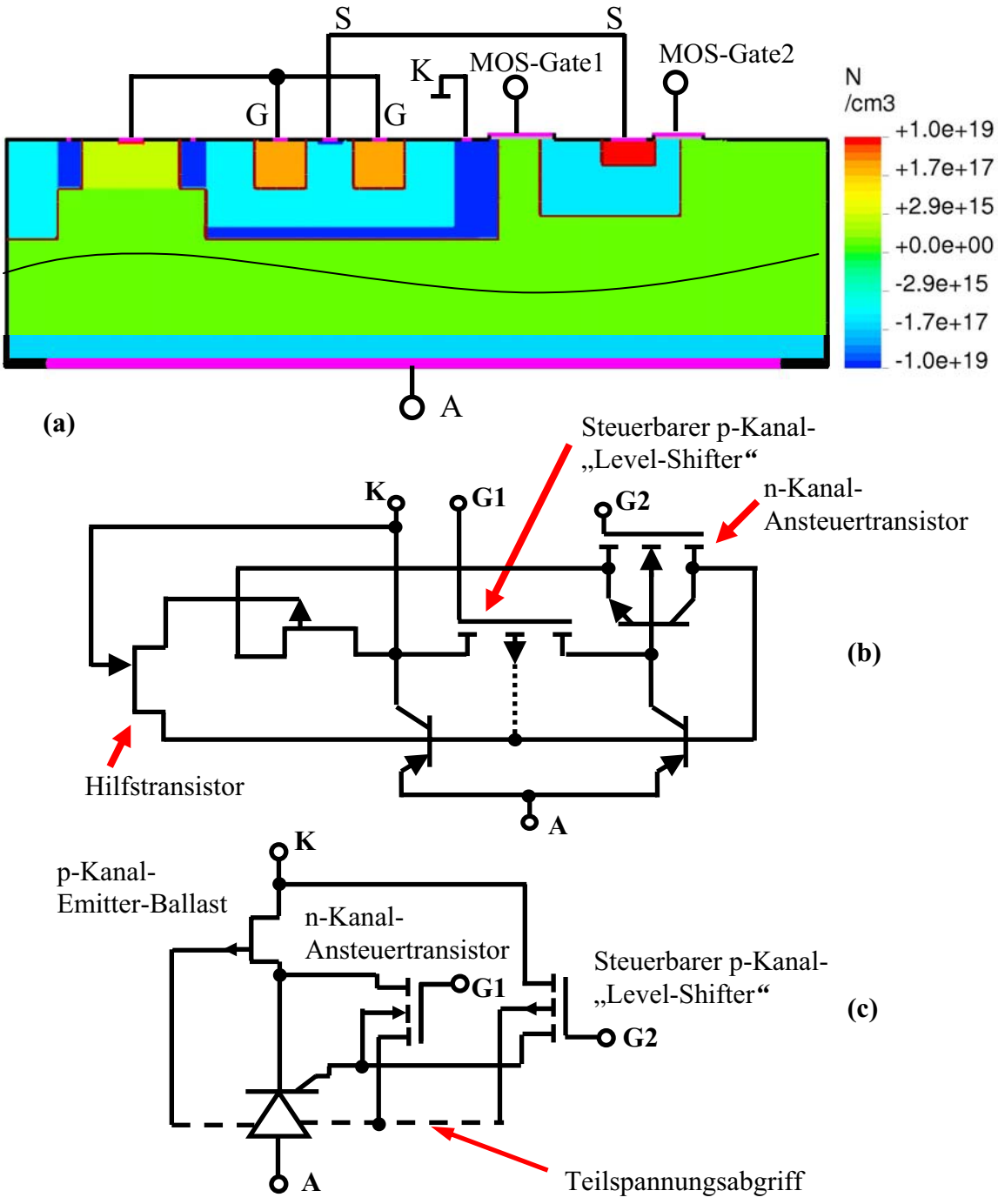


Bild 5.6: Dualer Thyristor mit Thyristor-Funktion als Schaltelement mit Ansteuerung über n-Kanal-MOS-Gate und über MOS-Gate des „Level Shifters“:
a) Schnitt einer 600V-Struktur mit planarem p-Kanal-SIT und vertikalem selbstsperrendem n-Kanal-MOSFET.
b)Ersatzschaltbild der Struktur
c) Vereinfachtes Ersatzschaltbild

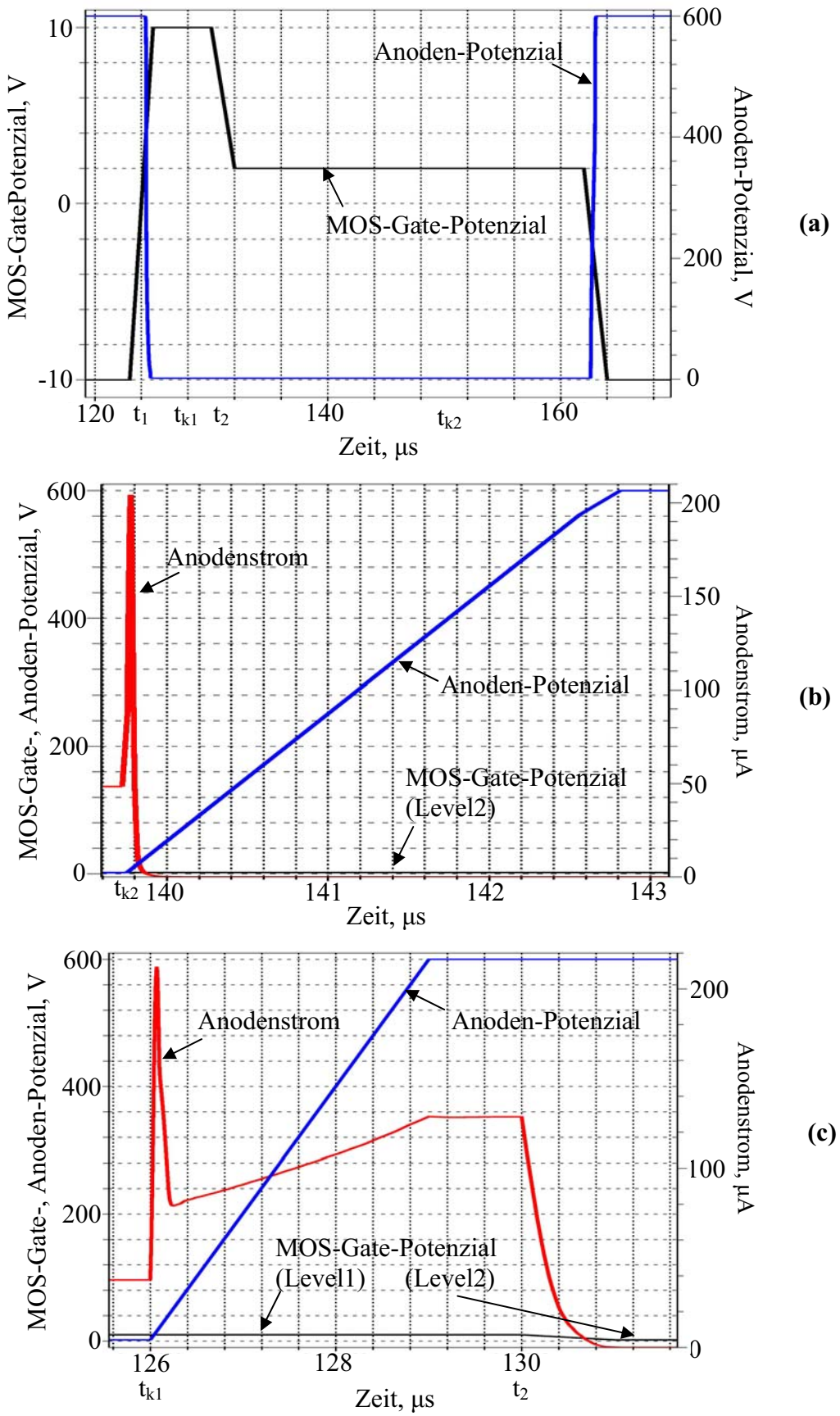


Bild 5.7: Simuliertes Schalt- (a) und Kurzschlussdiagramm (b und c) des 600V-Schaltelementes mit Thyristor-Funktion. Die Gate-Elektrode vom n-Kanal-MOSFET und die MOS-Gate-Elektrode des „Level Shifters“ sind zusammengeschlossen. Zum Kurzschlussbeginn hat MOS-Gate-Potenzial:(b) Level 2, (c) Level 1

In dieser Version ist der „Level Shifter“ ein selbstsperrender p-Kanal-MOSFET mit niedriger Sperrfestigkeit zwischen Source- und Drain-Gebiet. Beide MOS-Gate-Elektroden können zusammengeschlossen werden.
Bei der positiven Gate-Ansteuerung ist der p-Kanal-MOSFET nicht leitend und der „Level Shifter“ erfüllt die Funktion der Potenzialanhebung des n-Source-Gebietes (mit dem „Latch-up“-Vorgang als Folge). Diese positive Gate-Ansteuerung macht den n-Kanal-MOSFET durch den gebildeten Inversionskanal (im Fall eines „normally off“-Transistors) oder durch Elektronenanreicherung im n-Kanal (im Fall eines „normally on“-Transistors) leitend. Der Duale Thyristor schaltet ein und geht in einen thyristorartigen Zustand mit sehr guten Durchlasseigenschaften über.
Bei der negativen Gate-Ansteuerung wird der p-Kanal-MOSFET durch den gebildeten Inversionskanal leitend. Die Injektion des npn-Transistors wird dann durch den gesteuerten Löcherabfluss unterbrochen. Der n-Kanal-Transistor geht bei der negativen Gate-Ansteuerung in einen sperrenden Zustand über. Der Duale Thyristor schaltet ab.
In dieser Version ist das Bauelement kein „Emitter Switched“-Thyristor mehr, sondern eher ein MCT (oder MOS-GTO), aber mit stabilisierendem Emitterballast (s. Bilder 5.6a und 5.6b). Stromfilamentierung kann nicht auftreten, weil der p-Kanal-Emitter-Ballast-Transistor den Emitter regenerativ abschaltet [56, 57].
Es ist auch zu beachten, dass der p-Kanal-Transistor als "normally-on"-Typ viel bessere Durchlasseigenschaften als ein Inversionstyp besitzen kann (s. Anhang A).
Die im vorherigen Kapitel erklärten Ansteuerungsprinzipien (Source-Potenzialbegrenzung, Drei-Level-Ansteuerung) gelten auch bei diesem Leistungsschalter. Das Schalt- und Kurzschlussdiagramm des 600V-Bauelementes sind im Bild 5.7 dargestellt.
Es ist aber zu beachten, dass im Fall des Kurzschlusses während der Gate-Ansteuerung mit dem Level 1 (s. Bild 5.7c) die Strombegrenzung nur dann stattfindet, wenn durch Anstieg des Anodenpotenzials erst der „Latch up“-Vorgang unterbrochen wird und das Bauelement in einen IGBT-artigen plasmaüberschwemmten Zustand übergeht. Die Strombegrenzung entsteht dann durch den n-Kanal-Transistor, weil der p-Kanal-JFET wegen seiner begrenzten Sperrfestigkeit nicht mehr zur Strombegrenzung beitragen kann. Das erscheint aber laut Simulationsergebnissen zu erfüllen, indem der laterale Löcherstrom durch die rechte p-Wanne entsprechend reduziert wird.

5.3 Ansteuerung des Dualen Thyristors mit Hilfe des p-Kanal-MOS-Gates

Bei der Ansteuerung des Dualen Thyristors durch ein p-Kanal-MOS-Gate verwandelt sich der p-Kanal-Teiltransistor in einen p-Kanal-MOSFET. Ansonsten ist die Struktur des Schaltelementes der Struktur des Dualen Thyristor-Zweipolelementes ähnlich. Ein Schnitt eines solchen Schaltelementes mit einem lateralen p-Kanal-MOSFET ist im Bild 5.8a dargestellt.
Der p-Kanal-Transistor kann bei dieser Ansteuerungsvariante sowohl als selbstleitend („normally on“) als auch als selbstsperrend („normally off“) ausgeführt werden. Das Ersatzschaltbild dieser Struktur ist im Bild 5.8b dargestellt. Der p-Kanal wird durch das Gate-Potenzial gesteuert, dessen Höhe sich auf das Source-Potenzial bezieht. Gleichzeitig wird der p-Kanal von dem Bulk-Potenzial gegengesteuert, dessen Wert auch auf Source-Potenzial bezogen wird. Das Source-Potenzial floatet. Das Bulk-Potenzial nimmt einen Bruchteil der Anodenspannung an und kann deswegen als Spannungssonde interpretiert werden.
Das Einschalten des Schaltelementes erfolgt durch die negative Gate-Potenzialansteuerung, indem die Gate-Source-Ansteuerung des p-Kanals die Bulk-Source-Ansteuerung des p-Kanals überwindet. Ein stationäres Ausgangskennlinienfeld bei Variation des Gate-Potenzials ist im Bild 5.9 gezeigt.

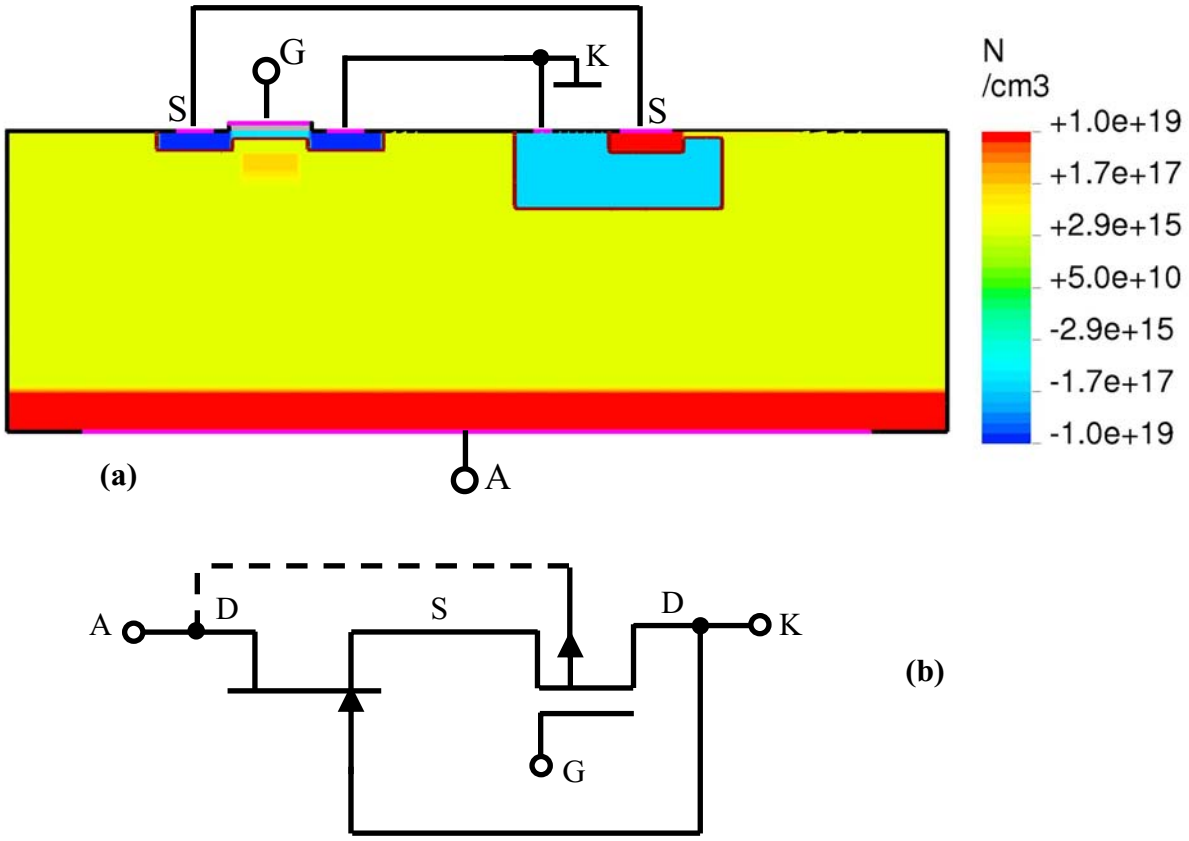


Bild 5.8: Dualer Thyristor als Schaltelement mit Ansteuerung über p-Kanal-MOS-Gate (60V-Struktur mit lateralem p-Kanal-MOSFET und vertikalem selbstleitenden n-Kanal-JFET) :
(a) Struktur
(b) Ersatzschaltbild

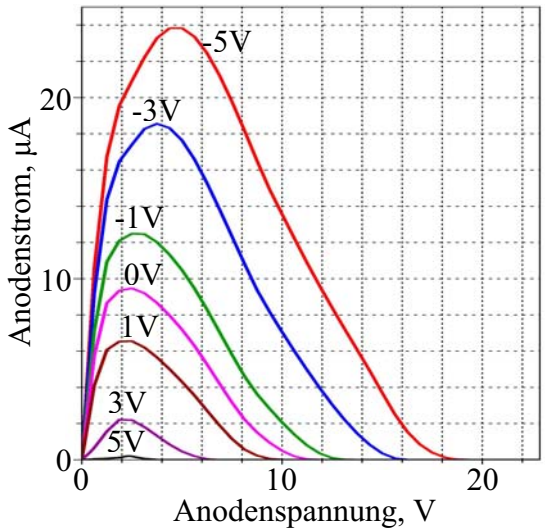


Bild 5.9: Simuliertes Ausgangskennlinienfeld des Schaltelementes bei Variation der Gate-Kathoden-Spannung

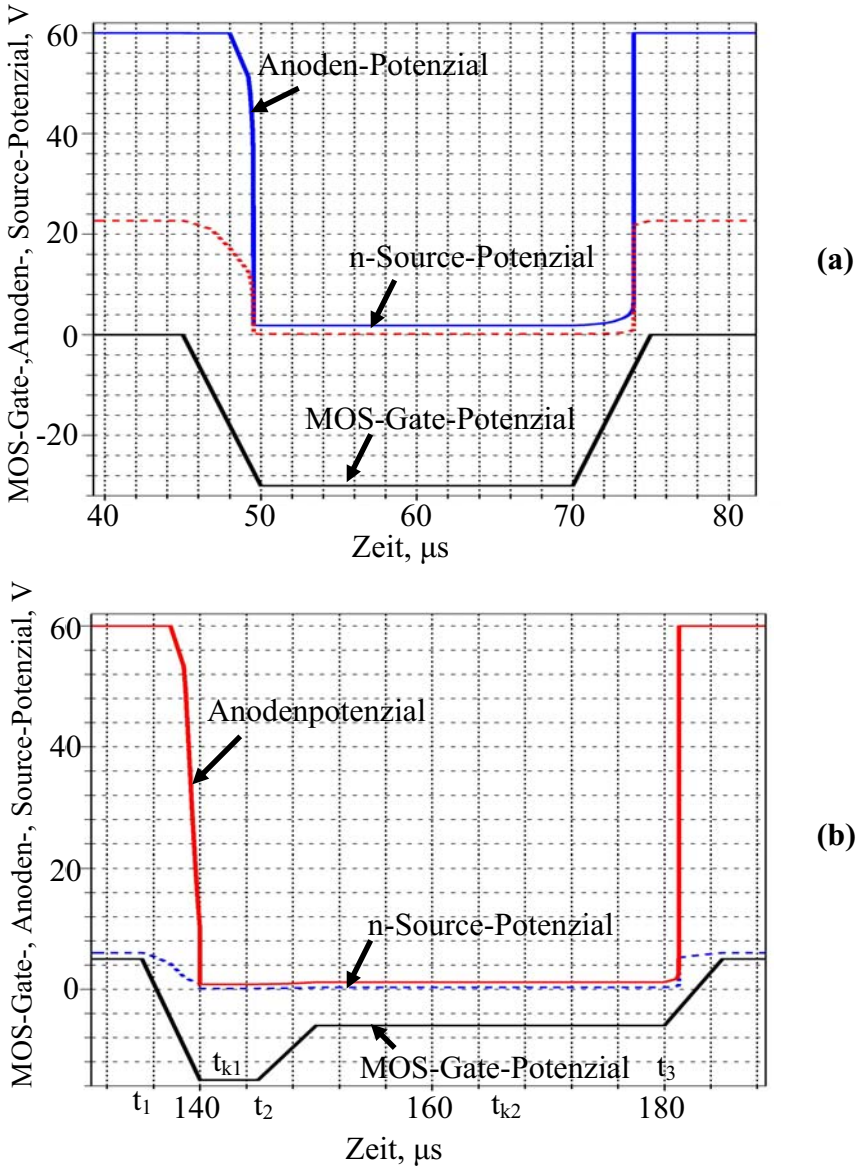


Bild 5.10: Simuliertes Schaltdiagramm der 60V-Struktur. Die Tiefe des p-Drain- und p-Source-Gebietes beträgt: (a) 0,5µm und (b) 2,5µm

Bei der dynamischen Betrachtung des Schaltvorganges tritt beim Einschalten des Bauelementes folgendes Problem auf (s. Bild 5.10a). Bei positiver Gate-Ansteuerung wird das Bauelement erst ausgeschaltet. Das Bulk-Potenzial nimmt einen Bruchteil der Betriebsspannung an. Diese Tatsache erfordert ein sehr hohes negatives Gate-Potenzial, um das Bauelement wieder einzuschalten.
Eine Reduktion des Bulk-Potenzials führt zur Reduktion des negativen Ansteuerpotenzials. Im Bild 5.10 sind zum Vergleich zwei Schaltdiagramme identischer Strukturen dargestellt. Der Unterschied zwischen den beiden Schaltdiagrammen besteht aber darin, dass im Fall (b) eine stärkere elektrische Abschirmung des Bulk-Gebietes durch das p-Drain- und p-Source-Gebiet stattfindet. Diese Abschirmung hat zur Folge, dass der Betrag des zum Einschalten notwendigen Gate-Potenzials deutlich reduziert wird.
Die Maßnahmen zur Reduktion des n-Gate-Potenzials sind ausführlich im Kapitel 4.2.13 beschrieben. Es ist aber zu beachten, dass die notwendige Begrenzung des Bulk-Potenzials in

Hochvolt-Strukturen nur unter der dreidimensionalen Betrachtung des lateralen p-Kanals realisierbar ist.
Auch dieses Schaltelement besitzt, wie es unten gezeigt wird, eine neue Sicherungsfunktion gegen den Kurzschluss vom Typ II. Um diese Überstromsicherungsfunktion zu erhalten, wie es im Schaltdiagramm im Bild 5.10b gezeigt wird, benötigt man eine „3-Level"-Ansteuerung.
Das Kurzschlussverhalten des Schaltelementes ist dem Kurzschlussverhalten des Schaltelementes mit der Ansteuerung durch n-Kanal-MOS-Gate ähnlich (s. Kurzschlussdiagramm im Bild 5.11).
Das oben beschriebene Ansteuerungsprinzip kann auch für die Ansteuerung des Dualen Thyristors mit IGBT-Funktion und mit Thyristor-Funktion verwendet werden.
Das Bauelement kann in diesem Fall als Leistungsschalter eingesetzt werden, der infolge seiner eingebauten „Überstrom-Abschaltfähigkeit" einen besonders sicheren Betrieb erlaubt. Es ist aber zu berücksichtigen, dass ein p-Kanal-SIT-Transistor, der in den Leistungsversionen eingesetzt wird, nur in lateraler Ausführung durch ein planares MOS-Gate angesteuert werden kann.

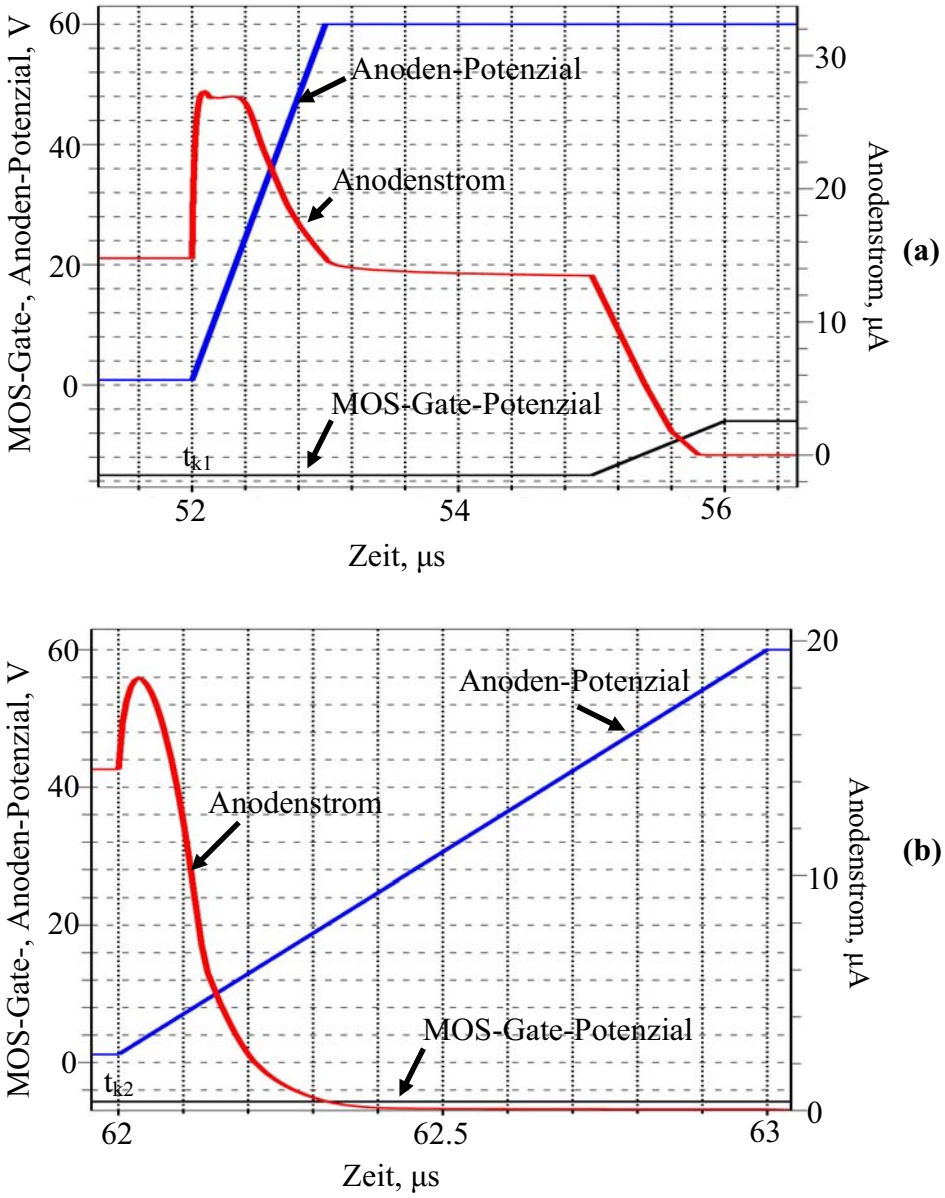


Bild 5.11: Kurzschlussdiagramm. Zum Kurzschlussbeginn hat das MOS-Gate-Potenzial: (a) Level 1 , (b) Level 2

5.4 Zusammenfassung

Die durchgeführte Simulationsuntersuchung ergab, dass auf der Basis des Dualen Thyristors ein vollsteuerbarer Leistungsschalter mit einer neuen Überstrom-Sicherungsfunktion entsteht.
Es wurden drei Ansteuer-Varianten des Bauelementes untersucht:

- Ansteuerung mit einem p-Kanal-MOS-Gate
- Ansteuerung mit einem n-Kanal-MOS-Gate
- Ansteuerung mit einem n-Kanal-MOS-Gate und mit einem MOS-Gate des „Level Shifters“

Alle Schalter sind Bauelemente mit „Drei Level“-Ansteuerung. Die Einführung des dritten Ansteuer-Levels ist notwendig, um die Sicherungsfunktion beizubehalten.

Die Ansteuerung mit einem p-Kanal-MOS-Gate kann in Dualen Thyristor-Strukturen mit lateralem p-Kanal eingesetzt werden. Es ist zu beachten, dass in diesem Fall das Bulk-Potenzial des p-Kanal-MOS-FETs einen Bruchteil des Anoden-Potenzials annimmt und aufgrund der Bulk-Gegensteuerung die Hohe des zum Einschalten notwendigen Gate-Potenzials beeinflusst.
Eine elektrische Abschirmung des Bulk-Gebietes durch p-Gebiete kann zur Reduktion des Gate-Potenzials ausgenutzt werden.
Das Bauelement kann in dieser Version wegen der Höhe des Gate-Potenzials als Leistungsschalter im Bereich bis 100V eingesetzt werden. Einsatz eines Hilfstransistors zur Begrenzung des Bulk-Potenzials wird den Spannungsbereich deutlich erweitern. Dafür ist aber eine dreidimensionale Betrachtung des Bauelementes notwendig.

Die Ansteuerung mit einem n-Kanal-MOS-Gate kann bei Bauelementen sowohl mit lateralem als auch mit vertikalem p-Kanal eingesetzt werden. Die Bauelemente mit p-Kanal-SIT werden aufgrund der besseren Durchlasseigenschaften bevorzugt. Diese Schalter können als unipolare Bauelemente bis 200V oder als bipolare Bauelemente mit IGBT-Funktion bis 600V verwendet werden.
Auch in diesem Fall wird die Bulk-Gegensteuerung des n-Kanals, die sich auf das floatende Source-Potenzial bezieht, die Höhe des zum Einschalten notwendigen Gate-Potenzials beeinflussen. Das verwendete Prinzip der Source-Potenzialbegrenzung, die z. B. durch begrenzte Sperrfestigkeit des p-Kanal-Transistors realisierbar ist, erscheint als eine wirksame Lösung zur Reduktion des Gate-Potenzials. Unter Verwendung dieses Prinzips kann die Höhe des Gate-Potenzials unter 10V gehalten werden.

Für den Hochvoltbereich ist aufgrund der sehr guten Durchlasseigenschaften das Bauelement mit Thyristor-Funktion am besten geeignet. In diesem Fall erfolgt die Ansteuerung durch zwei Gate-Elektroden: n-Kanal-MOS-Gate und MOS-Gate des „Level Shifters“. Beide Gate-Elektroden können zusammengeschlossen werden. Das Prinzip der Source-Potenzialbegrenzung wird bei diesem Leistungsschalter besonders notwendig.
Das Bauelement kann weiterhin als Leistungsschalter eingesetzt werden, der infolge seiner eingebauten „Überstrom-Abschaltfähigkeit“ einen besonders sicheren Betrieb erlaubt. Bei bisherigen Leistungsschaltelementen sind solche Funktionen nur in relativ aufwändigen Zusatzschaltungen oder integrierten Schaltkreisen verwirklicht.
Die guten Durchlasseigenschaften, die mit diesem Bauelement erreicht werden können, machen es zu einem leistungsfähigen Halbleiterschalter, selbst in Anwendungen, in denen die regenerative Überstrom-Abschaltfähigkeit nicht ausgenutzt wird.

6 Zusammenfassung und Ausblick

Die durchgeführte Untersuchung ergab, dass auf der Basis des Dualen Thyristors eine neue Familie von Bauelementen entsteht, die als neue Eigenschaft die Überstrom-Sicherungsfunktion besitzt.
In Hinsicht auf die Anwendungsbereiche besteht diese neue Familie von Bauelementen aus zwei großen Gruppen (s. Bild 6.1):

I. Regenerative Sicherungselemente
II. Leistungsschalter mit regenerativer Überstrom-Abschaltfunktion

I. Die Sicherungselemente sind Bauelemente in Zweipol-Ausführung, die eine Kennlinie vom N-Typ besitzen. Sie besitzen deswegen die Fähigkeit, durch Überstrom regenerativ abzuschalten und in dem ausgeschalteten Zustand die volle Betriebsspannung zu übernehmen.
Bei der Entwicklung von solchen Bauelementen wurde das Prinzip der Kaskodierung verwendet. Das ermöglichte es, das Bauelement als Leistungsbauelement auszulegen.
In Hinsicht auf die Kombination der Teiltransistoren wurden im Wesentlichen vier Ausführungsvarianten des Bauelementes entwickelt:

1. Struktur mit lateralem p-Kanal-JFET und vertikalem n-Kanal-JFET mit lateralem n-Kanal
2. Struktur mit vertikalen p-Kanal-SIT und vertikalem n-Kanal-JFET mit lateralem n-Kanal
3. Struktur mit lateralem p-Kanal-SIT und vertikalem n-Kanal-JFET mit lateralem n-Kanal
4. Struktur mit vertikalen p-Kanal-SIT und vertikalem n-Kanal-SIT

Alle diese Versionen können auf der Basis der heutigen konventionellen MOS-FET Technologien hergestellt werden.
Die Struktur mit einem p-Kanal-SIT besitzt deutlich bessere Durchlasseigenschaften im Vergleich zu der Version mit dem lateralen p-Kanal-JFET und gilt deswegen als bevorzugte Version.

Alle diese Bauelemente können sowohl als unipolare als auch als bipolare Bauelemente ausgelegt werden. Die Anwendung des Prinzips der bipolaren Ladungsträgerüberschwemmung des hochohmigen n^--Substrates in der Dualen Thyristor-Struktur ermöglichte eine deutliche Verbesserung der Durchlasseigenschaften im Vergleich zum unipolaren Bauelement.
Bei bipolaren Bauelementen wurden zwei Versionen entwickelt:

1. Struktur mit selbstleitendem IGBT
2. Struktur mit durch „Level Shifter“ kontrollierter Thyristor-Funktion

Diese Versionen können auf der Basis der heutigen planaren IGBT-Technologien hergestellt werden.
Die Simulationsuntersuchung der Hochvoltstrukturen mit Thyristor-Funktion hat gezeigt, dass eine mit Trench-IGBTs vergleichbare Durchlassspannung und ein ähnliches Plasmaprofil erreicht werden. Der Vorteil besteht aber darin, dass die Herstellung eines solchen Hochvoltbauelementes im Rahmen vorhandener planarer Technologien (ohne Trench) möglich ist. Da die Trench-Technik außerordentlich aufwändig ist, erscheint der Ansatz eines solchen Bauelementes allein dadurch gerechtfertigt.
Allerdings aufgrund von zwei vorhandenen laststromführenden Elektroden an der Oberfläche des Bauelementes sind zwei Metallisierungsebenen notwendig. Das erscheint aber unter Anwendung der hochleitenden Polysilizidschichten oder hochisolierenden Polyemidschichten beim heutigen Stand der Technologie durchaus als realisierbar.

Im Zusammenhang mit den vorgestellten Ergebnissen können die neuen Sicherungselemente den vier Spannungsbereichen zugeordnet werden:

1. Im Niedervoltbereich bis 60V sind unipolare Strukturen mit p-Kanal- und n-Kanal-SIT zu verwenden. Diese Strukturen sind für höhere Spannungsbereiche nicht geeignet.
2. Im Bereich zwischen 60V und 200V werden unipolare Duale Thyristor-Strukturen mit vertikalem n-Kanal-JFET eingesetzt. Bevorzugt werden die Bauelemente mit p-Kanal-SIT.
3. Im Bereich von 200V bis 600V können Duale Thyristor-Strukturen mit IGBT-Funktion verwendet werden, die in den Durchlasseigenschaften mit planaren IGBTs vergleichbar sind.
4. Im Hochvoltbereich ab 600V (zum Beispiel für typische Sperrspannungen 1.2 kV und 3.3 kV) ist die Struktur mit Thyristor-Funktion am besten geeignet.

II. Die durchgeführte Simulationsuntersuchung ergab, dass auf der Basis des Dualen Thyristors ein vollsteuerbarer Leistungsschalter mit einer neuen Überstrom-Sicherungsfunktion entsteht.
Es wurden drei Ansteuervarianten des Bauelementes entwickelt (s. Bild 6.1):

- Ansteuerung mit einem p-Kanal-MOS-Gate
- Ansteuerung mit einem n-Kanal-MOS-Gate
- Ansteuerung mit einem n-Kanal-MOS-Gate und mit einem MOS-Gate des „Level Shifters“

Die Ansteuerung mit einem p-Kanal-MOS-Gate kann in Dualen Thyristor-Strukturen mit lateralem p-Kanal eingesetzt werden. Das Bauelement in der Version mit der elektrischen Selbstabschirmung des p-Kanal-Bulk-Gebietes kann wegen der Höhe des Gate-Potenzials als Leistungsschalter im Bereich bis 100V verwendet werden. Die Integration eines Spannungsbegrenzers zur Reduktion des p-Kanal-Bulk-Potenzials kann aber den Spannungsbereich deutlich erweitern.

Die Ansteuerung mit einem n-Kanal-MOS-Gate kann bei Bauelementen sowohl mit lateralem als auch mit vertikalem p-Kanal eingesetzt werden. Die Bauelemente mit p-Kanal-SIT werden aufgrund der besseren Durchlasseigenschaften bevorzugt. Diese Schalter können als unipolare Bauelemente bis 200V oder als bipolare Bauelemente mit IGBT-Funktion bis 600V verwendet werden.

Für den Hochvoltbereich ab 600V ist aufgrund der sehr guten Durchlasseigenschaften das Bauelement mit Thyristor-Funktion und mit Ansteuerung durch zwei Gate-Elektroden (n-Kanal-MOS-Gate und MOS-Gate des „Level Shifters“) am besten geeignet. Beide Gate-Elektroden können zusammengeschlossen werden.
Das Bauelement kann weiterhin als Leistungsschalter eingesetzt werden, der infolge seiner eingebauten „Überstrom-Abschaltfähigkeit“ einen besonders sicheren Betrieb erlaubt. Bei bisherigen Leistungsschaltelementen sind solche Funktionen nur in relativ aufwändigen Zusatzschaltungen oder integrierten Schaltkreisen verwirklicht.
Die guten Durchlasseigenschaften, die mit diesem Bauelement erreicht werden können, machen es zu einem leistungsfähigen Halbleiterschalter, selbst in Anwendungen, in denen die regenerative Überstrom-Abschaltfähigkeit nicht ausgenutzt wird.

Für eine weitere Entwicklung der neuen Familie der Bauelemente ist es notwendig, einige Untersuchungen fortzusetzen. Das betrifft insbesondere die Untersuchungen zum sicheren

Arbeitsbereich (SOA), die Untersuchungen der dynamischen Eigenschaften der Bauelemente sowie die Untersuchungen zum Kurzschlussverhalten.
Da beim neuen Bauelement die wichtigsten Entwurfprinzipien eines Leistungsbauelementes berücksichtigt wurden, erscheint die Aufgabe der Erweiterung des sicheren Arbeitsbereiches durchaus als realisierbar. Ein 600V-Bauelement mit Spannungsfestigkeit bis 800V wurde schon erfolgreich durch Simulation getestet.

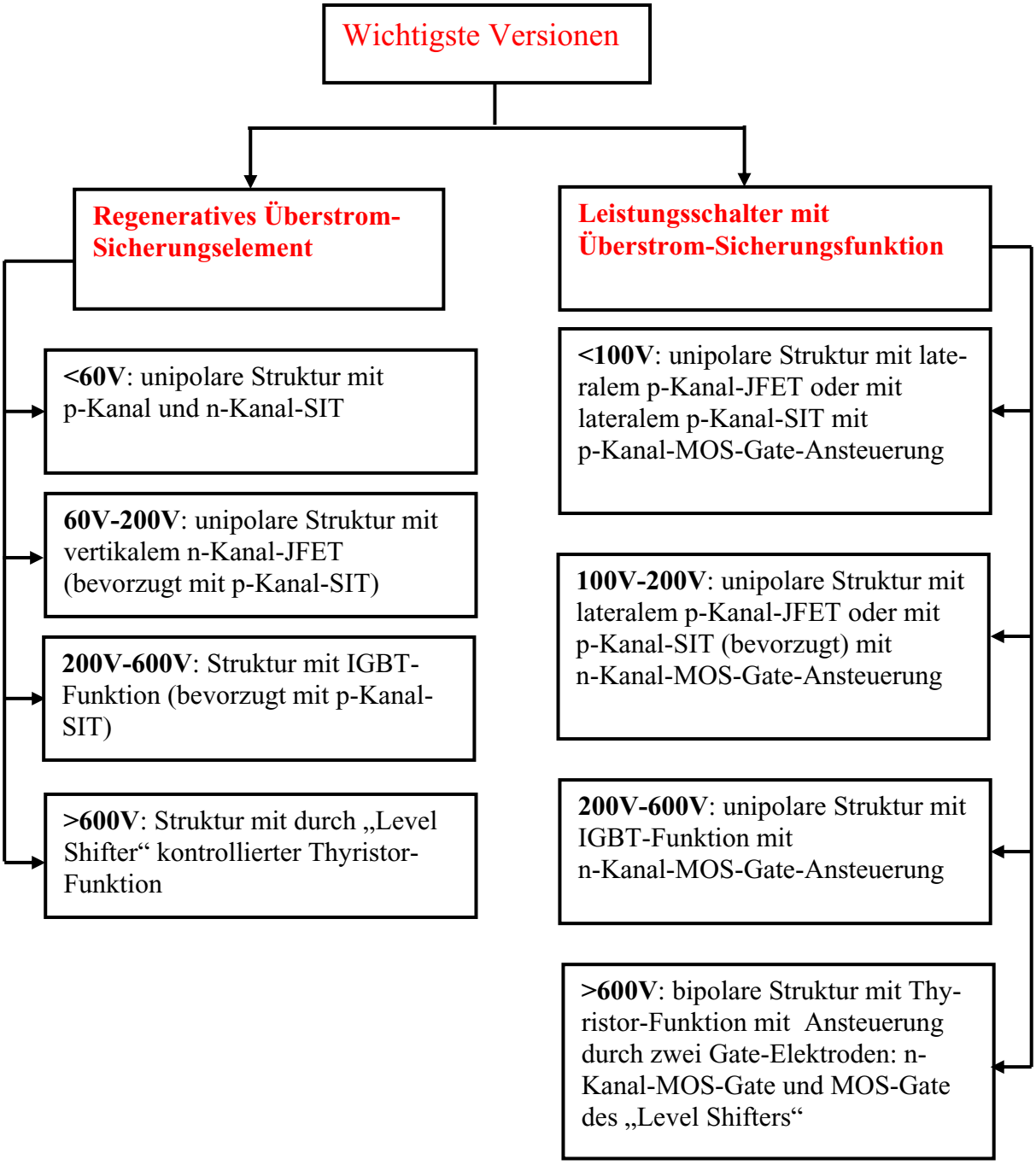


Bild 6.1: Wichtigste Versionen des Dualen Thyristors

Zur Untersuchung der dynamischen Eigenschaften können die entwickelten stationären Modelle unter Berücksichtigung der parasitischen Elemente und der dynamischen Effekte zu den entsprechenden dynamischen Modellen erweitert werden.
Aus dieser Sicht erscheint auch eine weitere Modelluntersuchung als notwendig. Dazu gehört vor allem eine Entwicklung des Modells für das Bauelement mit Thyristor-Funktion.
Auch eine Entwicklung eines physikalischen SIT-Modells würde die schon bestehenden Modelle deutlich präzisieren.
Zur detaillierten Untersuchung des Kurzschlussverhaltens des Bauelementes ist es notwendig, unterschiedliche Kurzschlussmodelle auf dem Bauelement zu testen.
Inzwischen wurde im IALB-Institut (Universität Bremen) ein neues Bauelement „Regenerative Diode“ entwickelt, welches in seiner Funktion das Prinzip des Dualen Thyristors ausnutzt. Die Regenerative Diode bildet einen neuen Zweig in der Bauelementefamilie des Dualen Thyristors [58].

A. Simulations- und Messergebnisse zum Vergleich zwischen der Elektronen- und der Löcherbeweglichkeit im selbstleitenden Kanal und im Inversionskanal

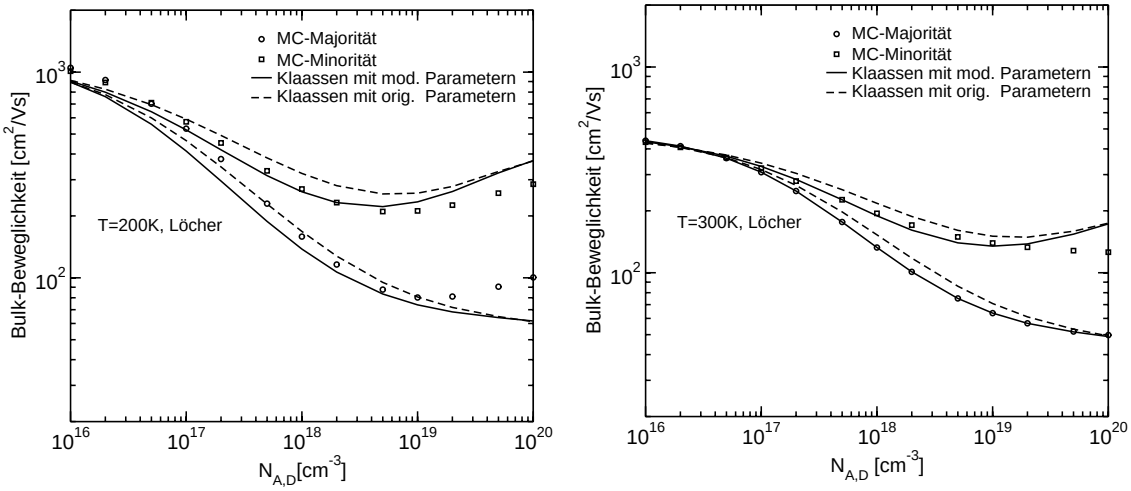


Bild A.1: Vergleich des Klaasen-Modells mit der Bulk-Beweglichkeit für Löcher, die auf MC-Simulationen beruht, bei zwei unterschiedlichen Temperaturen [59, 60, 61]

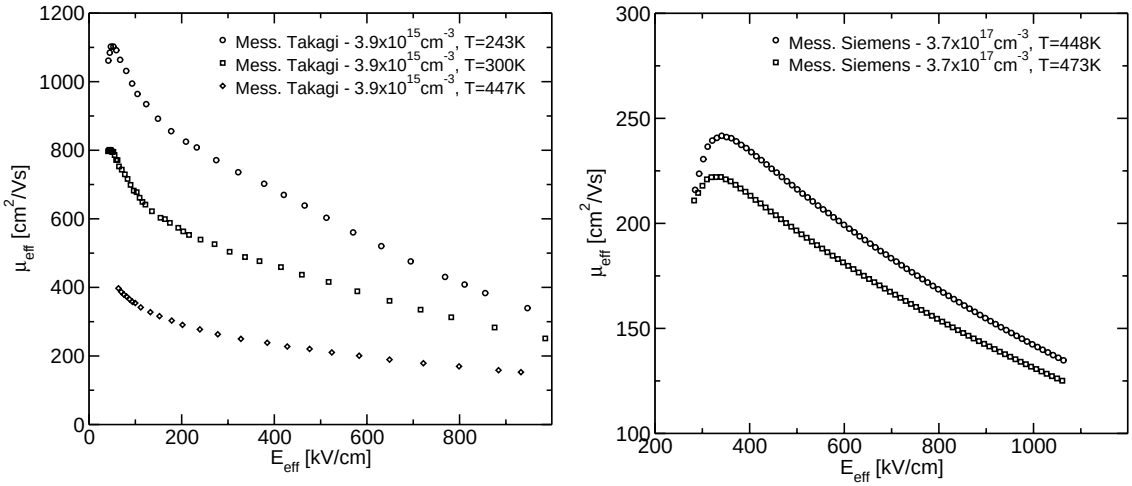


Bild A.2: Messergebnisse von Takagi und von Fa. Infineon für die Elektronenbeweglichkeit im Inversionskanal [59, 62]

B. Struktur mit starkem p^+-Emitter und mit der starken Rekombination im mittleren n^--Gebiet

Die Herleitung der Strom-Spannungs-Kennlinie für den **Fall B** ist prinzipiell ähnlich mit dem Fall A. Sie unterscheidet sich von dem oben beschriebenen Fall A nur in Form der Funktion $U_{n\text{-}}(I_A)$. Das Ergebnis der Analyse für den Fall B wird deswegen unten in kurzer Form zusammengestellt:

Fall 1 tritt auf, wenn folgende Bedingung erfüllt ist:

$$U_{AK} < U_s \quad \text{– Bereich 1} \tag{B.1}$$

In diesem Fall fließt kein Strom durch die Struktur (s. Bild B.1):

$$I_A = 0 \tag{B.2}$$

Fall 2 tritt auf, wenn folgende Bedingungen erfüllt sind:

$$\begin{cases} U_{AK} \geq U_s \\ U_x \leq U_{th} \\ I_A \leq I_{A1} \end{cases} \quad \text{-Bereich 2} \tag{B.3}$$

$$I_{A1} = c_1\left(U_{p1}^2 - \left(\left|U_{p1}\right| - U_{th}\right)^2\right) \tag{B.4}$$

Die Strom-Spannungs-Kennlinie des Dualen Thyristors im Bereich 2 beschreibt folgende Beziehung, welche von der Gleichung (4.95) durch oben beschriebene Korrektur der Spannungsanteile abgeleitet ist:

$$U_{AK} = \left|U_{p1}\right| - \sqrt{U_{p1}^2 - \frac{I_A}{c_1}} + U_{n^-} + U_s \tag{B.5}$$

Der Spannungsanteil $U_{n\text{-}}$ ist in diesem Fall konstant laut Gleichung (4.167).

Die erste Ableitung der Funktion $U_{AK}(I_A)$ nach I_A ergibt den differentiellen Durchlasswiderstand r_{on}:

$$r_{on} = \frac{1}{2\sqrt{U_{p1}^2 - \frac{I_A}{c_1}}} \tag{B.6}$$

Der Verlauf der Strom-Spannungs-Kennlinie des Dualen Thyristors ist im Bild B.1 dargestellt.
Die Modellanalyse im Bereich 2 zeigt, dass der statische und der differenzielle Durchlasswiderstand im Vergleich zum Bauelement mit unipolarem n-Kanal-JFET deutlich reduziert werden. Während bei einer Hochvoltstruktur mit unipolarem n-Kanal-JFET mit niedriger Dotierung und mit großer Dicke der n^--Zone der über dem n^--Gebiet abfallende Durchlassspannungsanteil in der gesamten Durchlassspannung dominiert, bleibt der

Spannungsanteil beim identischen Bauelementen mit IGBT-Funktion vergleichbar mit dem Durchlassspannungsanteil der beiden Kanäle oder sogar kleiner.

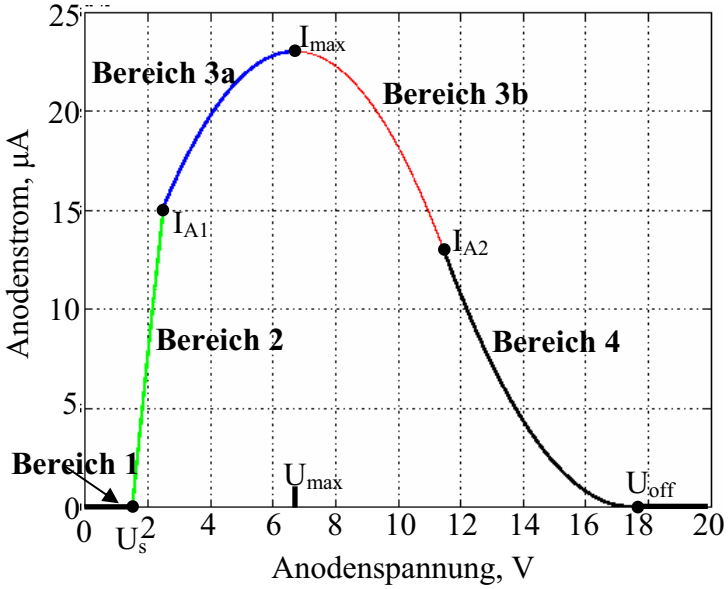


Bild B.1: Mit den Modellgleichungen berechnete Strom-Spannungs-Kennlinie des Dualen Thyristors mit IGBT-Funktion für den **Fall B** bei Vorgabe der notwendigen Parameter: $V_u = 2$, $U_{th} = 1V$, $I_{p1} = 8x10^{-5}$ A, $U_{p1} = -10V$, $U_{n^-} = 0.7V$, $U_s = 0.8V$

Der Fall 3 (die Gate-Spannung U_{GS2} größer als die Schwellenspannung U_{th}, Transistor T_1 im Triodenbereich) erfordert folgende Bedingung:

$$U_{th} < U_x \leq \left| U_{p1} \right| \qquad \text{- Bereich 3} \tag{B.7}$$

Die Strom-Spannungs-Kennlinie des Dualen Thyristors im Bereich 3 beschreibt folgende Beziehung, welche von der Gleichung (4.107) durch oben beschriebene Korrektur der Spannungsanteile abgeleitet ist:

$$U_{AK} = \frac{b \mp \sqrt{b^2 - 4a\dfrac{I_A}{c_1}}}{2a} - V_u U_{th} + U_{n^-} + U_s \tag{B.8}$$

$$a = \frac{1+2V_u}{(1+V_u)^2}$$

$$b = \frac{2(\left|U_{p1}\right| + V_u U_{th})}{1+V_u}$$

Die erste Ableitung dieser Funktion nach I_A ergibt den differenziellen Widerstand r_d im Bereich 2:

$$r_d = \frac{dU_{AK}}{dI_A} = \pm \frac{1}{c_1 \sqrt{b^2 - 4a \frac{I_A}{c_1}}} \tag{B.9}$$

Der differenzielle Widerstand r_d geht gegen Unendlich, wenn das Polynom unter der Wurzel in der Beziehung (B.9) Null wird. Dieser Punkt entspricht dem Maximum der Funktion $I_A(U_{AK})$ im Bereich 2:

$$I_{max} = c_1 \frac{b^2}{4a} \tag{B.10}$$

$$U_{max} = \frac{b}{2a} - V_u U_{th} + U_{n^-} + U_s \tag{B.11}$$

Der maximale Strom I_{max} wird nur durch die Parameter der Teiltransistoren T_1 und T_2 bestimmt. Er ist gleich dem maximalen Strom I_{max} des Modells des Dualen Thyristors ohne Widerstand R_{n^-}.
Die maximale Spannung U_{max} ist im Unterschied zum Fall A von den Parametern des unteren p^+-Emitters unabhängig.

Vor dem Erreichen der maximalen Spannung U_{max} wird die Strom-Spannungs-Kennlinie nach Gleichung (B.8) mit Minuszeichen vor der Wurzel beschrieben:

$$U_{AK} = \frac{b - \sqrt{b^2 - 4a \frac{I_A}{c_1}}}{2a} - V_u U_{th} + U_{n^-} + U_s \tag{B.12}$$

Diese Funktion beschreibt die Strom-Spannungs-Kennlinie des Dualen Thyristors im Anodenstrom-Bereich 3a (s. Bild B.1):

$$I_{A1} \le I_A \le I_{max} \quad \text{- Anodenstrom-Bereich 3a} \tag{B.13}$$

Diesem Bereich entspricht der positive differenzielle Widerstand r_d, der nach Gleichung (B.9) mit Pluszeichen vor der Wurzel beschrieben wird:

$$r_d = \frac{1}{c_1 \sqrt{b^2 - 4a \frac{I_A}{c_1}}} \tag{B.14}$$

Nach dem Erreichen der maximalen Spannung U_{max} wird die Strom-Spannungs-Kennlinie nach Gleichung (B.8) mit Pluszeichen vor der Wurzel beschrieben:

$$U_{AK} = \frac{b + \sqrt{b^2 - 4a \frac{I_A}{c_1}}}{2a} - V_u U_{th} + U_{n^-} + U_s \tag{B.15}$$

Diese Funktion beschreibt die Kennlinie des Dualen Thyristors im Anodenstrom-Bereich 3b (s. Bild B.1):

$$I_{A2} \le I_A \le I_{max} \quad \text{- Anodenstrom-Bereich 3b} \tag{B.16}$$

$$I_{A2} = \frac{c_1}{(1+V_u)^2}\left(V_u U_{th} + |U_{p1}|\right)^2 \tag{B.17}$$

Dem Bereich 3b entspricht der negative Widerstand r_d, der nach Gleichung (B.9) mit Minuszeichen vor der Wurzel beschrieben wird:

$$r_d = -\frac{1}{c_1\sqrt{b^2 - 4a\dfrac{I_A}{c_1}}} \tag{B.18}$$

Der Fall 4 (die Steuerungsspannung U_{GS2} größer als die Schwellenspannung U_{th}, Transistor T_1 im Sättigungsbereich) ist unter folgenden Bedingungen erfüllt:

$$U_x \ge |U_{p1}| \quad \text{- Bereich 4} \tag{B.19}$$

$$I_A > I_{A2} \quad \text{- Anodenstrom-Bereich 4} \tag{B.20}$$

Die Kennlinie des Dualen Thyristors im Bereich 4 wird durch folgende Gleichung beschrieben, die von der Gleichung (4.126) durch oben beschriebene Korrektur der Spannungsanteile abgeleitet ist:

$$U_{AK} = U_{th} - \frac{1+V_u}{V_u}\left(\sqrt{\frac{I_A}{c_1}} - |U_{p1}|\right) + U_{n^-} + U_s \tag{B.21}$$

Die erste Ableitung dieser Funktion nach I_A ergibt den differenziellen Widerstand r_d im Bereich 4:

$$r_d = -\frac{1+V_u}{2V_u\sqrt{c_1 I_A}} \tag{B.22}$$

Dieser Widerstand bleibt negativ, bis der Anodenstrom I_A Null wird. Das bedeutet, dass die Funktion $I_A(U_{AK})$ eine abfallende Funktion bleibt, bis die Anodenspannung eine Abschaltspannung U_{off} erreicht, bei der der Anodenstrom Null wird (s. Bild B.1):

$$U_{off} = \frac{1+V_u}{V_u}|U_{p1}| + U_{th} + U_{n^-} + U_s \tag{B.23}$$

Diese Abschaltspannung U_{off} unterscheidet sich von der Abschaltspannung U_{off} des Modells des Dualen Thyristors ohne Widerstand R_{n-} (s. Gleichung (4.67)) nur um den kleinen Betrag $(U_{n^-} + U_s)$.

Literaturverzeichnis

[1] S**.** Konrad: **„Ein Beitrag zur Auslegung und Integration spannungsgespeister IGBT-Wechselrichter“**, Dissertation, TU Ilmenau, 1997, Ilmenau: Verlag ISLE, 1997, ISBN 3-932633-09-1

[2] U. Nicolai, T. Reimann, J. Petzoldt, J. Lutz: **„Applikationshandbuch IGBT- und MOSFET- Leistungsmodule“**, ISLE Verlag, 1998, ISBN: 3-932633-24-5

[3] Infineon: **„TEMPFET Functional Description“**, http://www.infineon.com/cgi-bin/ifx/portal/ep/programView.do?channelId=-64644&programId=33378 &programPage=%2Fep%2Fprogram%2Fdocument.jsp&pageTypeId=17099

[4] M. Glogolja: **„A high current short circuit tolerant MOSFET switch“**, Automotive Power Electronics, S. 15 - 26, Aug. 1989

[5] Infineon: **„PROFET Functional Description & Application Notes“**, http://www.infineon.com/cgi-bin/ifx/portal/ep/programView.do?channelId= -64638 &programId=33370&programPage=%2Fep%2Fprogram%2Fdocument. jsp&pageTypeId=17099

[6] J. M. Hancock: **„PROFET II - a second generation family of smart power switches“**, IEEE Workshop on Electronic Applications in Transportation, S. 102 - 106, Oct. 1990

[7] E. Schimanek, G. Mackert: **„Semikron SKiiPPACK with New Driver Principle „OCP“- The Next Step in Intelligent Power Electronics (OCP - Over Current Protection) “**, PCIM 1997, Nürnberg, Proc. Power Electronics, S. 373-384

[8] R. Herzer, R. Popp, B. Koenig, K. Haeupl: **„MiniSKiiP II - benchmark for 600V CIB modules“**, Proc. ISPSD '04, S. 297 - 300, May 2004

[9] M. Kudoh, Y. Hoshi, S. Momota, T. Fujihira, K. Sakurai: **„Current sensing IGBT for future intelligent power module“**, Proc. ISPSD’96, S. 303–306, May 1996.

[10] M. Kudoh, M. Otsuki, S. Obinata, S. Momota, T. Yamazaki, T. Fujihira, K. Sakurai: **„Current sensing IGBT structure with improved accuracy“**, Proc. ISPSD’95, S. 119–122, May 1995

[11] B. Mütterlein: **„Vertikaler IGBT für intelligente Leistungsschalter in SIMOX-Technologie“**, Dissertation, Duisburg, Univ., 1994

[12] B. Steck: **„Vertikaler EST (Emitter Switched Thyristor) mit SIMOX-Transistor für intelligente Leistungshalbleiter“**, Dissertation, Duisburg, Berlin: Mensch & Buch Verlag, 2000, ISBN: 3-89820-095-7

[13] Chucheng Xiao, Lingyin Zhao, T. Asada, W. G. Odendaal, J. D. van Wyk: **„An overview of integratable current sensor technologies“**, IEEE Proc. 38. IAS Annual Meeting, Vol.2, S. 1251 - 1258, Oct. 2003

[14] Tyco Electronics Power Components: **„PolySwitch TSM600 Resettable Overcurrent Protection Device“**, http://www.circuitprotection.com/litbrochures/TSM600.pdf

[15] F. Doljack: **„PolySwitch PTC Devices - A New Low-Resistance Conductive Polymer-Based PTC Device for Overcurrent Protection“**,IEEE Trans. on Components, Hybrids, and Manufacturing Technology, Vol. 4, Nr. 4, S. 372 - 378, Dec. 1981

[16] J. L. Sanchez et al.: **„Design and fabrication of a new high voltage current limiting device for serial protection applications“**, Proc. ISPSD’96, S. 201-205, May 1996

[17] Tyco Electronics Power Components: „**Fundamentals of SiBar Thyristor Overvoltage Devices“**, http://www.circuitprotection.com/ 06Databook/fundamentals/ SiBarfundamentals.pdf

[18] B. J. Baliga: **„The MOS-Gated Emitter Switched Thyristor“**, IEEE Electron Device Letters, Vol. 11, Nr. 2, S. 75-77, Feb. 1990

[19] B. J. Baliga: **„The MOS-Gated Emitter Switched Thyristor“**, Proc. ISPSD’90, S. 117-121, Apr. 1990

[20] M.S. Shekar, B.J. Baliga, M. Nandakumar, S. Tandon, A. Reisman: **„Experimental demonstration of the emitter switched thyristor“**, Proc. ISPSD '91, S.128 - 131, Apr. 1991

[21] A. Pfaffenlehner, J. Biermann, C. Schaeffer, H. Schulze: **„New 3300V chip generation with a trench IGBT and an optimized field stop concept with a smooth switching behavior“**, Proc. ISPSD '04, S. 107 - 110, May 2004

[22] X. Yuan, F. Udrea, T. Trajkovic, J. Thomson, P. Waind, P. Taylor, G. Amaratunga: **„Enhanced on-state performance trench IGBT with a self-aligned p base“**, IEEE Proc. 36. IAS Annual Meeting, 30 Sept.-4 Oct. 2001, Vol. 2, S. 1033 - 1037

[23] DESSIS-ISE: **„ISE TCAD Release 7.5 User’s Manual“**, Zurich, 2001

[24] A. Führer: **„Grundgebiete der Elektrotechnik“,** Band 2**, „Zeitabhängige Vorgänge“**, Hanser 2003, 7. Auflage, ISBN 3-446-22599-4

[25] R. Vahldieck: Vorlesungsskript **„Elektrotechnik“**, Abteilung IIIC, 3.Semester, Ch. Hafner ETH, Eidgenössische Technische Hochschule Zürich, Institut für Feldtheorie und Höchstfrequenztechnik,2002, http://e-collection.ethbib.ethz.ch/cgi-bin/show.pl? type=lehr&nr=20

[26] S. Linder: **„Power Semiconductors“,** EPFL Press, 2006, ISBN 2-940222-09-6

[27] R. Paul: **„Feldeffekttransistoren: Physikalische Grundlagen und Eigenschaften“**, VEB Verlag Technik, 1972, ISBN 3-408-53050-5

[28] J.-L. Sanchez, M. Breil, P. Austin, J.-P. Laur, J. Jalade, B. Rousset, H. Foch: **„A new high-voltage integrated switch: the „Thyristor Dual“ function“**, Proc. ISPSD’99, S.157-160, May 1999

[29] J-P Laur, J-L Sanchez, M. Marmouget, P. Austin, J. Jalade, M. Breil, M.Roy, **„A new circuit-breaker integrated device for protection applications“**, Proc. ISPSD’99, S. 315-318, May 1999

[30] B. Rosensaft, D. Silber, S. Märkel , J. Joos: **„Leistungsschalter und Sicherungselemente auf der Basis des Dualen Thyristors“**, 34. Kolloquium Halbleiter - Leistungsbauelemente und ihre systemtechnische Integration, Freiburg, 2004

[31] D. Silber, B. Rosensaft , J. Joos: **Patent DE 102004052096 „Halbleiterschaltelement“**, 27. Apr. 2006

[32] N. Kaminski: **„Unipolare Leistungsbauelemente in Siliziumkarbid“**, Dissertation, VDI Verlag, 2001, ISBN: 3-18-333709-6

[33] B. J. Baliga, Edited by S. M. Sze: **„Modern Semiconductor Device Physics: Power Devices“,** New York: John Wiley & Sons, 1997, ISBN 0-471-15237-4

[34] H. Schaumburg: **„Halbleiter“**, Stuttgart: Teubner, 1991, ISBN: 3-519-06124-4

[35] S. M. Sze: **„Physics of Semiconductor Devices“**, 2. Edition, John Wiley & Sons, 1981, ISBN 0-471-09837-X

[36] R. Paul: **„Elektronische Halbleiterbauelemente“**, 3. Aufl., Stuttgart: Teubner, 1992, ISBN 3-519-20112-7

[37] L. Lorenz: **„Cool-MOS – an Important Milestone Towards a New Power MOSFET Generation“**, PCIM 1998, Nürnberg, Proc. Power Electronics, S. 151-160

[38] J. Nishizawa, T. Terasaki, J. Shibata: **„Field-effect transistor versus analog transistor (static induction transistor)”**, IEEE Trans. on Electron Devices., Vol. 22, Nr. 4, S. 185–197, Apr. 1975

[39] R. Sittig, P. Roggwiller: **„Semiconductor devices for power conditioning“**, New York: Plenum Press, 1982, ISBN 0-306-41131-8

[40] G. Masetti, M. Severi, S. Solmi: **„Modeling of carrier mobility against carrier concentration in Arsenic-, Phosphorus- and Boron-doped Silicon“,** IEEE Trans. on Electron Devices, Vol. 30, Nr. 7, S. 764–69, Jul. 1983

[41] D. M. Caughey, R. E. Thomas: **„Carrier mobilities in Silicon empirically related to doping and field“**, Proc. IEEE, Vol. 55, Nr. 12, S. 2192–93, Dec. 1967

[42] N. D. Arora, J. R. Hauser, D. J. Roulston: **„Electron and Hole Mobilities in Silicon as a Function of Concentration and Temperature”**, IEEE Trans. on Electron Devices, Vol. 29, Nr. 2, S. 292-295, Feb. 1982

[43] C. Lombardi, S. Manzini, A. Saporito, M. Vanzi, **„A Physically Based Mobility Model for Numerical Simulation of Nonplanar Devices“**, IEEE Trans. on CAD, Vol. 7, Nr. 11, S. 1164–1171, Nov. 1988.

[44] D. B. M. Klaassen, J. W. Slotboom, H. C. de Graaff: **„Unified apparent bandgap narrowing in n- and p-type Silicon“,** Solid-State Electronics, Vol. 35, Nr. 2, S. 125–129, 1992.

[45] B. Jayant Baliga: **„Power Semiconductor Devices"**, Boston: PWS publishing Company, 1996, ISBN 0-534-94098-6

[46] A. Nakagawa, H. Ohashi: **„600 - and 1200V Bipolar Mode MOSFETS with High-Current Capability",** IEEE Electron Device Letters, Vol. EDL-6, Nr. 7, S. 378-380, Jul. 1985

[47] F. Klotz: **„Leitungsgebundene elektromagnetische Störemissionen von Leistungshalbleitertopologien"**, Dissertation, TU Ilmenau, 1997, Ilmenau: Verlag ISLE, 1997, ISBN 3-932633-00-8

[48] J. Lutz, „**Halbleiter-Leistungsbauelemente Physik, Eigenschaften, Zuverlässigkeit"**, Springer, 2006, ISBN: 3-540-34206-0

[49] G. Miller, J. Sack: **„A new concept for a non punch trough IGBT with MOSFET like switching characteristics",** Proc. PESC'89, Vol. 1, S. 21-25, 1989

[50] H. Schlangenotto, W. Gerlach: „**On the effective carrier lifetime in psn-rectifiers at high injection levels"**, Solid-State-Electronics, Vol.12, S. 267-275, 1969

[51] F. Udrea, G. A. J. Amaratunga, **„Theoretical and numerical comparison of DMOS and trench technologies for IGBTs"**, IEEE Trans. on Electron Devices, Vol. 42, Nr. 7, July 1995, S. 1356-1366

[52] F. Udrea, S. S. M. Chan, J. Thomson, T. Trajkovic, P. R. Waind, G. A. J. Amaratunga, D. E. Crees: **„1.2 kV Trench Insulated Gate Bipolar Transistors (IGBTs) with Ultralow On-Resistance"**, IEEE Electron Device Letters, Vol. 20, Nr. 8, S. 428-430, Aug. 1999

[53] Shuming Xu: **„Concepts for MOS-Gated Power Devices and their Integration as AC Switches"**, Dissertation, Frankfurt am Main ,1997, Düsseldorf : VDI-Verl., 1997, ISBN 3-18-323721-0

[54] Shuming Xu, Reiner Costapel, Dieter Silber: **„CTC: A CMOS Thyristor Cascode"**, Proc. ISPSD'98, S.159-162, Jun. 1998

[55] H.Amann, A.Porst, **„Das Verhalten des IGBT bei unterschiedlichen Betriebs-bedingungen"**, 20. Kolloquium für Halbleiter-Leistungsbauelemente und Materialgüte von Silizium, FhG-ISE, Freiburg, Nov. 1991

[56] W. R. Wirth: **„The Gate-Turn-Off Thyristor in the Cascode Configuration"**, Proc. IEEE-IAS Meeting'83, S. 788-793, 1983

[57] W.-D. Nowak, J. Korec, H. Maeder, M.Fullmann: **„GTO-cascode for high power, high frequency applications"**, Proc. ISPSD'90, S. 138-143, Apr. 1990

[58] Umamamheswara Reddy Vemulapati, D. Silber: **„The Concept of a Regenerative Diode"**, 36. Kolloquium Halbleiter-Leistungsbauelemente und ihre systemtechnische Integration, Freiburg, 2006

[59] Chi Dong Nguyen: **„ Semiklassische Modellierung des Ladungstransports in Inversionsschichten für Sub-100 nm-SiGe-CMOS-Transistoren“**, Logos Verlag Berlin, 2006, ISBN 3-8325-1306-X

[60] D. B. M. Klaassen: „**A unified mobility model for device simulation- I. Model equations and concentration dependence”**, Solid-State Electron., Vol. 35, S. 953-959, 1992

[61] C. Jungermann, B. Meinerzhagen: **„Hierarchical Device Simulation: The Monte-Carlo Perspective“**, Wien/ New York: Springer, 2003, ISBN 3-211-01361-X

[62] S.Takagi, A. Toriumi, M. Iwase, H. Tango: **„On the universality of inversion layer mobility in Si MOSFETs“**, IEEE Trans. on Electron Devices, Vol. 41, S. 2357-2362, Dec. 1994

[63] B. Rosensaft, Umamaheswara Reddy Vemulapati, D. Silber: **„Circuit Breaker and Safe Controlled Power Switch“**, Proc. ISPSD’07, S.169-172, May 2007

[64] Umamaheswara Reddy Vemulapati, D. Silber, B. Rosensaft: **„The Concept of a Regenerative Diode“**, Proc. ISPSD’07, S.193-196, May 2007

Danksagung

Die vorliegende Arbeit entstand während meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Institut für elektrische Antriebe, Leistungselektronik und Bauelemente der Universität Bremen.
An dieser Stelle möchte ich mich bei allen bedanken, die zum Gelingen dieser Arbeit beigetragen haben.
Herrn Prof. Dr. phil. nat. Dieter Silber danke ich für die Möglichkeit, die Arbeit durchführen zu können und für seine vielfältige Unterstützung während ihres Fortgangs.
Herrn Prof. Dr. –Ing. habil. Dipl. –Math. B. Meinerzhagen danke ich für die Übernahme des Zweitgutachtens.
Für das Korrekturlesen meiner Arbeit bedanke ich mich bei Frau Dr. rer. nat. Angelika Kuligk.

Schließlich bedanke ich mich noch bei meinen Eltern, meiner Frau Julia und meiner kleinen Tochter Anna, die mir während der gesamten Promotionszeit Unterstützung und Motivation waren.